

三维片上网络研究综述*

张大坤, 黄翠, 宋国治



(天津工业大学 计算机科学与软件学院, 天津 300387)

通讯作者: 张大坤, E-mail: zhangdakun2013@163.com, http://www.tjpu.edu.cn/

摘要: 三维片上网络以其更短的全局互连、更高的封装密度、更小的体积等诸多优势,已引起国内外学术界和产业界的高度重视。对三维片上网络的研究,将直接影响一个国家未来三维集成电路和三维芯片产业的发展,也关系到国家安全。近年来,三维片上网络逐渐成为片上网络研究领域的一个重要方向,已取得了许多研究进展,但仍然存在许多挑战性的课题。对三维片上网络的基本问题作了简介;分析了三维片上网络在国内外的研究现状;讨论了三维片上网络研究中的关键问题,归纳出网络拓扑结构、路由机制、性能评估、通信容错、功耗、映射、测试、交换技术、服务质量、流量控制、资源网络接口等 12 类研究课题;分类综述了关键问题的研究进展;分析了三维片上网络存在的问题;指出,在三维片上网络拓扑结构方面:个性化拓扑结构设计、仿真平台研究开发、基于新型拓扑结构的三维芯片样片试制以及无线技术的引入等,在路由算法方面:适合 3D Torus 的路由算法、结合无环路由与自适应路由算法优点的新路由算法、适合各种新型拓扑结构的高效路由算法等,在性能评估方面:永久故障的容错、改进仿真程序增加对物理链路的建模、充分考虑通信的局部性等,在功耗方面:对拓扑结构/映射算法/路由算法和布局进行综合优化、动态和静态控制相结合、更为精确的 3D NoC 功耗模型等,在映射方面:发热均匀性、动态路由策略下映射评估模型的优化、低功耗映射算法、基于优化算法的组合映射等,都将是三维片上网络未来的重要研究课题。

关键词: 三维片上网络;拓扑结构;路由算法;映射算法;低功耗;容错

中图法分类号: TP303

中文引用格式: 张大坤,黄翠,宋国治.三维片上网络研究综述.软件学报,2016,27(1):155-187. <http://www.jos.org.cn/1000-9825/4933.htm>

英文引用格式: Zhang DK, Huang C, Song GZ. Survey on three-dimensional network-on-chip. Ruan Jian Xue Bao/Journal of Software, 2016, 27(1): 155-187 (in Chinese). <http://www.jos.org.cn/1000-9825/4933.htm>

Survey on Three-Dimensional Network-on-Chip

ZHANG Da-Kun, HUANG Cui, SONG Guo-Zhi

(School of Computer Science and Software Engineering, Tianjin Polytechnic University, Tianjin 300387, China)

Abstract: 3D NoC has attracted a lot of attention from both academia and industry with the advantages such as shorter global connection, higher integration density and smaller size. The research on 3D NoCs not only directly affects the development of 3D IC and 3D chip industries but also influences national security. In recent years, 3D NoC has become an important trend in the research of network-on-chip with considerable progress, but many challenges remain. This paper gives a brief introduction of the major issues and reviews the state of arts. It reviews the key problems for the research of 3D NoC in 12 categories including network topology, routing mechanism, performance evaluation, communication fault tolerance, power consumption, mapping, testing, switching technique, QoS, flow control, and resource network interface. It then discusses in detail the research progress and solutions for each type of problems. The problems for network topology include customized topology design for 3D NoC, development of simulation platforms, prototype of 3D NoC based on new topologies and the introduction of wireless. The problems for routing algorithms include new routing algorithm for 3D

* 基金项目: 国家自然科学基金(61272006)

Foundation item: National Natural Science Foundation of China (61272006)

收稿时间: 2015-04-17; 修改时间: 2015-08-24; 采用时间: 2015-10-18; jos 在线出版时间: 2015-11-03

CNKI 网络优先出版: 2015-11-04 17:10:12, <http://www.cnki.net/kcms/detail/11.2560.TP.20151104.1710.011.html>

Torus, new routing algorithms based on the combination of oblivious routing and adaptive routing. The problems for fault tolerance include fault tolerance for permanent errors, adding simulation of the physical link into the original simulation platform, and taking the locality of the communications into consideration. The problems for power consumption include the comprehensive optimization of topology, routing and floorplanning, combination of static and dynamic controls, and power consumption model for 3D NoC with more accuracy. The problems for mapping include balance of heat precipitation, optimization of mapping evaluation model under the dynamic routing strategy, low power mapping algorithms, and mapping combination based on intelligent optimization algorithms. The problems mentioned above all deserve the attention for future research on 3D NoCs.

Key words: three-dimensional network-on-chip; topology; routing algorithm; mapping algorithm; low power consumption; fault-tolerant

1958年,美国物理学家 Jack Kilby 发明了世界上第一个集成电路,这项技术改变了整个世界,并且一直影响至今,Kilby 也因此于 2000 年获得了诺贝尔物理学奖^[1,2].随着半导体技术的发展,电子元器件特征尺寸越来越小,芯片集成度遵循摩尔定律不断提高.为了有效地利用和管理越来越多的片上资源,用系统的思想进行芯片设计非常必要.基于总线结构的片上系统(system on chip,简称 SoC)^[3]成功地将多个具有不同功能的 IP 核(intellectual property core)集成于同一块芯片上,IP 核之间可以独立地执行不同的任务,实现 IP 核间的并行计算,从而提升了处理器的计算能力^[4].但是,随着芯片上集成的 IP 核数目的增加和用户对嵌入式电子产品功能与性能需求的日益增长,总线型结构无法满足众多的实际需求,因而产生了片上网络(network-on-chip,简称 NoC).NoC 的核心思想是:将网络技术应用到芯片设计之中,使得 IP 核之间的数据交换通过路由器来实现^[5].NoC 结构与总线结构相比,不仅具有较好的可扩展性、可重用性,而且可以在支持并行通信的同时,实现全局异步局部同步(globally asynchronous locally synchronous,简称 GALS)的时钟控制^[6],从体系结构上彻底解决了总线结构带来的单一时钟问题.随着芯片上 IP 核数的增加,芯片的面积、功耗不断增大,芯片中全局导线变得越来越长,限制了工作频率的提升空间,因而,芯片开始向三维发展.近年来,随着三维集成电路(three-dimensional integrated circuit,简称 3D IC)的发展,三维片上网络(three-dimensional network-on-chip,简称 3D NoC)以其更短的全局互连、更高的封装密度、更小的体积等诸多优势^[7],逐渐成为 NoC 领域的主要研究方向.目前,关于 3D NoC 的研究已经取得了很多成果,但仍处于探索阶段.对国内外关于 3D NoC 的研究进展进行较为全面的总结,对未来 3D NoC 的深入研究具有重要意义.

1 三维片上网络简介

1.1 二维片上网络

随着 SoC 规模的扩大和复杂度的增加,片上互连成为系统性能的瓶颈^[8],其主要原因是总线结构的局限性.为解决此问题,2001 年,Dally 等人首次提出采用分组路由方式进行片内通信的思想,并将这种通信方式称为 NoC^[9,10].NoC 就是在一个芯片上集成数字电路、模拟电路、射频(radio frequency,简称 RF)、内存的接口电路等,使系统的速度更快、集成度更高,并且功耗、成本和体积也都大为降低^[11].2D NoC 中最常见的 2D Mesh 架构如图 1 所示^[7].

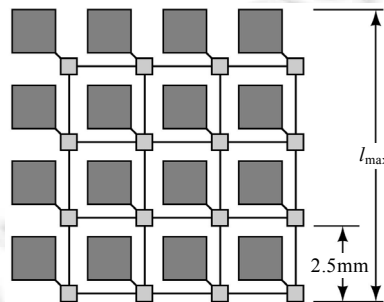


Fig.1 4×4 2D Mesh architecture

图 1 4×4 的 2D Mesh 架构

1.2 三维片上网络

随着芯片集成度的进一步提高,受二维布局条件的限制,2D NoC 难以保证关键部件相邻,难以缩短关键路径长度及减少信号延迟;与此同时,基于三维封装(three-dimensional packaging)技术的 3D IC 技术有了长足发展,为此,3D NoC 应运而生.2005 年,Liu 等人首次提出了 3D NoC 的概念^[12],其核心思想是将 2D NoC 与 3D IC 融合起来,最常见的 3D Mesh 架构如图 2 所示^[7].

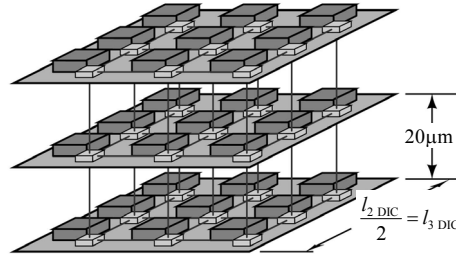


Fig.2 3×3×3 3D Mesh architecture

图 2 3×3×3 的 3D Mesh 架构

3D NoC 采用将多个具有二维结构的芯片用三维封装的方式封装成一个芯片,芯片与芯片之间主要依靠硅通孔技术(through-silicon-via,简称 TSV)互连.硅通孔技术是通过在芯片和芯片之间、晶圆和晶圆之间蚀刻出垂直通孔,通孔中注满金属以实现芯片之间互连的最新技术^[13].与以往的集成电路(integrated circuit,简称 IC)封装技术不同,TSV 能够使 3D NoC 在三维方向堆叠的密度最大、外形尺寸最小、数据传输速度更快、系统功耗更低.此外,芯片的可维护性也会增强,即使某层硅片出现故障,也可以对其单独进行修复.3D NoC 的出现是 IC 技术中突破性的新技术,也是 IC 发展的一个里程碑.

2 三维片上网络研究现状

国内外关于 3D NoC 的研究方兴未艾,有许多大学和研究机构加入到这项研究之中,公开发表了大量以 3D NoC 为主题的学术论文,研究开发了 3D NoC 仿真平台,极大地促进了该领域的发展.

2.1 国内外研究概况

2.1.1 3D NoC 相关论文

最早有关 3D NoC 的论文公开发表于 2005 年^[12,14],截至 2015 年 3 月份,可查到的有关 3D NoC 研究的论文有 500 余篇.每年发表的 3D NoC 相关论文数如图 3 所示,其中,深色为国内外全部论文数,浅色为国内期刊发表的论文数.由图 3 可见:从 2005 年~2013 年,每年发表的相关论文数呈递增趋势;2014 年,3D NoC 研究趋于平稳.国内关于 3D NoC 的研究起步较晚,但近几年也逐渐成为我国学术领域一个重要的研究方向.

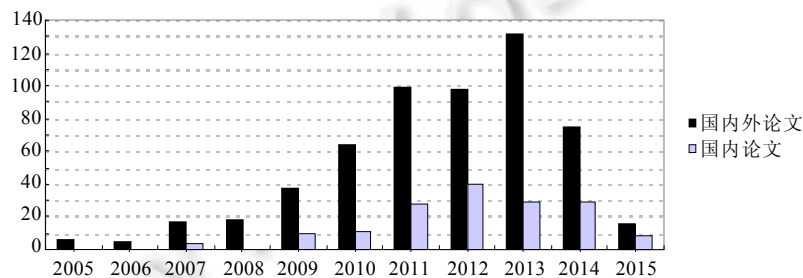


Fig.3 Papers published every year related to 3D NoC

图 3 每年发表的 3D NoC 相关论文数

2.1.2 国家自然科学基金资助项目

国内许多研究机构和大学都开展了 3D NoC 方面的研究,国家自然科学基金自 2009 年开始对 3D NoC 相关项目进行资助,至今共资助 10 项相关项目,研究内容涉及拓扑结构、通信技术、容错技术以及热均衡等多个方面,见表 1.

Table 1 3D NoC project funded by the National Natural Science Foundation

表 1 国家自然科学基金资助的 3D NoC 项目

项目批准号/ 申请代码	项目名称	项目 负责人	依托单位	批准 金额(万元)	项目起止年月
60876017/ F040201	三维片上网络(3D NoC) 关键技术研究	李丽	南京大学	36	2009-09 至 2011-12
61006024/ F040201	三维片上网络热均衡 关键技术研究	张多利	合肥工业大学	21	2011-01 至 2013-12
61176037/ F040205	基于高可靠链路设计的 D NOC 系统通信关键技术研究	王琴	上海交通大学	72	2012-01 至 2015-12
61176024/ F040201	三维片上网络存储 体系结构研究	李丽	南京大学	60	2012-01 至 2015-12
61106018/ F040201	专用三维片上网络体系 结构综合技术研究	葛芬	南京航空航天大学	25	2012-01 至 2014-12
61106020/ F040201	面向成品率的三维片上 网络 TSV 容错技术研究	杜高明	合肥工业大学	25	2012-01 至 2014-12
61272006/ F020305	基于柏拉图立体多级裂变模型的 三维片上网络拓扑结构的研究	张大坤	天津工业大学	61	2013-01 至 2016-12
61376031/ F040202	面向多核处理器应用的三维电感耦合 互连通道模型及其 3D NoC 结构研究	邹雪城	华中科技大学	90	2014-01 至 2017-12
61474087/ F040201	三维片上网络芯片 关键设计技术研究	周端	西安电子科技大学	91	2015-01 至 2018-12
61474036/ F040206	三维片上网络通信 自适应容错方法研究	欧阳一鸣	合肥工业大学	77	2015-01 至 2018-12

2.1.3 国内有代表性的研究工作

我国关于 3D NoC 方面的研究相对发达国家起步较晚,但近年来也取得了许多研究成果,为我国未来的三维集成电路和三维芯片产业发展奠定了重要基础.南京大学李丽等人在 3D NoC 方面的研究较早,他们在研究过程中提出了一个新的体系结构——hybird hierarchical architecture^[15],并且证明了该体系结构可以明显地提高系统性能.此外,他们还设计了关注于延迟的映射算法 RMGA 和基于蚁群算法的 DACA 算法^[16,17].合肥工业大学张多利等人提出了基于 System C 的 3D NoC 仿真器设计^[18]和基于温度梯度的 3D NoC 路由算法^[19].南京航空航天大学葛芬等人提出一种基于 Spidergon 的通用三维拓扑结构及其拓扑生成方法^[20].电子科技大学陈亦欧等人对 3D NoC 拓扑结构进行研究^[21],并提出了基于 De Bruijn 图的架构^[22,23].西安电子科技大学刘有耀等人对 NoC 拓扑结构与通信方法进行了研究,对典型的 3D NoC 架构进行了总结,并提出了 3 种 3D NoC 的架构,包括三维超立方体双环架构、三维 Torus 连接的 Petersen 图架构、三维长方形扭花环网格架构^[24].国防科学技术大学钱悦等人的研究表明:3D NoC 因拓扑维度的增加而缩短了通信距离,极大地提升了网络的平均通信性能^[25].南京邮电大学范敬雯等人总结了多种 3D NoC 架构的性能^[26],分析了适用于 3D NoC 的路由技术,并对 3 种适合 3D NOC 的路由算法进行了仿真.上海交通大学付宇卓等人搭建了一个三维环境下的仿真平台^[27],研究了 3 种 3D Torus 网络拓扑结构(Symmetric Torus,Stacked Torus 和 X-Torus 结构)的性能,并通过均衡负载模式、对称随机负载模式分析评价了这 3 种 3D Torus 网络的零负载延迟和吞吐率^[28].天津工业大学张大坤等人对 3D NoC 路由算法和拓扑结构进行了系统的分析^[29,30],提出了一种改进的基于粒子群算法的 3D NoC 优化布局算法和一种新型的 N 维 Mesh 容错路由方案^[31].合肥工业大学欧阳一鸣等人对 NoC 测试进行研究^[32],提出了簇式 3D NoC 通信压力弱化策略^[33]和 3D NoC TSV 复用容错策略^[34],还提出了 3D NoC 故障及拥塞感知的容错路由器设计^[35]以及 3D NoC 中柔性可配置的高可靠路由器设计^[36]、基于虚通道故障粒度划分的 3D NoC 容错路由器设计^[37]和面向非全互连 3D NoC 可靠通信的分布式路由算法^[38].

2.1.4 国外有代表性的研究工作

国际上关于 3D NoC 的研究起步较早,在网络拓扑和路由器结构方面,美国宾夕法尼亚州立大学(Pennsylvania State University)Xie 等人的研究较为深入,主要研究的是系统级仿真、动态虚通道、路由器结构、多维映射和布局布线的影响等,他们在 3D IC 设计以及系统架构方面取得了重要的研究成果^[39-42].Dongkook 等人主要研究布局布线对处理器和存储结构的影响^[41];Sun 等人充分研究了多核架构下的共享组 L2 Cache 的布局优势^[42],在多层缓存块和处理核之间分别采用了基于核分布和均匀分布的两种方法.仿真实验结果表明,前者可以获得更好的性能.美国加州大学(University of California)Lin 等人在 3D NoC 路由方面作了较多的研究,提出了多层 3D NoC 架构,阐述了相关设计问题^[43-47].芬兰图尔库大学(University of Turku)Xu 等人的研究主要涉及从二维到三维性能评价函数的变化和对之前提出的 3D NoC 架构的总结,并提出了新的架构和路由算法^[48-54].伊朗伊斯兰阿萨德大学(Islamic Azad University)Reza 等人提出了一个提高容错和通信负载的适合多媒体应用程序的拓扑和多路径路由,还提出了一个新的架构——Kautz mesh 和一个基于 Shuffle-exchange 拓扑的有效三维布局,并对它们的性能进行了仿真实验^[55-57].台湾大学 Chao 等人对 3D NoC 的热影响进行了分析,提出了热敏路由共享体系结构、基于非稳定非规则的传输层辅助路由和通信、热敏的实时热管理方案^[58-60].香港科技大学(Hong Kong University of Science and Technology)Ye 等人对三维光学片上网络的设计和热力学分析进行了相关的研究^[61-63].日本庆应义塾大学(Keio University)Hiroki 等人对无线 3D NoC 进行了研究,并取得了相应的研究成果^[64-68].

2.2 仿真平台

计算机仿真是继科学实验和理论指导之后,科学探索和工程实践的第三推动力,它在 3D NoC 的研究中显得尤其重要.目前,国内外在 3D NoC 的研究中,大部分理论验证和实验都是在计算机仿真平台上进行的,其主要原因是:专门设计一个实际的 3D NoC 芯片来验证有关设计理论、设计方案以及算法的优劣,其成本极高、难以实施.特别是随着 3D IC 和 3D NoC 技术的发展,三维芯片上集成的 IP 核数不断增加,异构 3D NoC 的需求也不断增加,使得 3D NoC 设计工作变得越来越复杂,完成 3D NoC 设计所花的时间和成本急剧增加.3D NoC 的研究始于 2005 年^[12],许多问题尚处于探索之中,目前尚未有功能齐全的商业 3D NoC 仿真平台.许多研究者针对自己的研究开发了适合某些方面的 3D NoC 仿真平台,极大地推动了 3D NoC 的发展,下面介绍 4 个有一定代表性的 3D NoC 仿真平台.

2.2.1 VNOC3^[69]

VNOC3 是由美国北达科他州立大学 de Paulo 等人研发的、用于研究 2 层和 3 层 3D NoC 的仿真框架,该框架是在一个低版本 VNOC(一个周期精确的 NoC 仿真器)和一个 B* 树布局规划器的基础上开发的.对于 3 层架构的 NoC,它采用 hMetis 划分器对任务图进行划分.框架还包括 GUI 图形功能和可以用来产生新的跟踪文件的隐藏选项.该工具虽然是在 Linux 系统 Fedora 8 上开发的,但也可以在 Windows 系统中编译运行.

2.2.2 Access Noxim^[70]

Access Noxim 是由台湾大学 Jheng 等人开发的、将网络模型、功率模型和热模型相结合的 3D NoC 仿真平台,该仿真平台将 Noxim 和 HotSpot 相结合,并采用 Intel 的 80-core 处理器的功率模型.为了与 HotSpot (HotSpot 提供架构级热模型)进行结合,3D NoC 仿真器需要将其架构级布局和功率跟踪转换为芯片级物理布局和功率追踪.首先添加基础三维路由器模型和垂直开关路由,将 Noxim 进行扩展来产生基于用户定义维数的 3D NoC 架构,之后插入一个模型,将架构级布局直接转换成物理布局.

2.2.3 Nigram^[71]

Nigram 是由英国南安普顿大学和印度 Malaviya 国家技术研究院共同研发、周期精确的 3D NoC 仿真器,能够仿真不同拓扑结构的路由算法和应用程序.Nigram 是一个可扩展、模块化、基于 System C 的仿真器,允许在 3D NoC 设计的不同阶段(拓扑、交换技术、虚拟通道、缓冲参数、路由机制和应用程序等)尝试不同的可用选项;除了内置功能,对于新的应用程序和路由算法,可以很方便地进行扩展;对于给定的选项设置,仿真器可以输出延迟、吞吐量等性能指标.

2.2.4 gpNoCsim^[72]

gpNoCsim 是由美国罗切斯特大学 Hossain 等人研发的基于 Java、支持不同 3D NoC 架构(Mesh,Torus, Butterfly Fat Tree 等)评估的通用仿真器,其模块化的设计使其便于接受新的架构.仿真器源代码和手册可以在 www.buet.bd/cse/research/group/noc/ 上进行下载.

3 三维片上网络研究的关键问题

3.1 关键问题简介

3D NoC 的研究涉及许多方面,其中要解决的关键问题可归纳如下:网络拓扑结构、路由机制、性能评估、容错、功耗、映射、测试、交换技术、服务质量、流量控制以及资源网络接口等.

- (1) 网络拓扑结构.3D NoC 网络传输消息的能力主要依赖于拓扑结构,它对网络延迟、吞吐量、面积、容错以及功耗等都有很大影响,同时对设计策略和内核到网络节点的映射起着重要的作用.选择合适的 3D NoC 拓扑结构,是 3D NoC 设计中非常关键的问题之一;
- (2) 路由机制.路由是确定一个消息从源节点到目的节点的路径机制.区别于总线结构,3D NoC 的一个重要特征是采用包交换路由.包交换既可以在源节点上实现路由,也可以在每一跳节点上实现路由,相应地称为源路由和分布式路由.无论是哪类路由算法,都应该有效地解决死锁、活锁和饥饿等问题;
- (3) 性能评估.性能评估是 3D NoC 设计的一个重要方面.为了比较不同的 3D NoC 结构,必须使用一套标准的性能评价指标.评估一个 3D NoC 的性能主要包括以下 4 个方面^[73]:吞吐量、延迟、面积和功耗等;
- (4) 容错.3D NoC 容错对象主要包括硬错和软错两方面:硬错,即芯片内部物理缺陷,包括路由器本身和路由器之间连线等缺陷;软错,即芯片内部数据传输过程中,由于各种原因(如串扰、噪声、宇宙射线等)导致的信号翻转.容错性问题是一个系统问题,常见的容错方法主要是从物理层、数据链路层和网络层 3 个方面着手;
- (5) 低功耗.3D NoC 的功耗与拓扑结构、路由器结构、路由算法等密切相关.拓扑结构直接影响到 IP 核间的通信,对整个芯片的功耗和吞吐率优化起到非常重要的作用.路由算法的目标是正确、有效地传输数据包.良好的路由算法可以提高网络的性能、降低功耗和延时、保证 3D NoC 系统的容错性^[74];
- (6) 映射算法.映射是在给定任务图、设计约束(延迟和功耗等)和 IP 核库的基础上,将每个任务分配到合适的 IP 核上,安排每个 IP 核上的任务执行顺序,然后再决定每个 IP 核在 3D NoC 拓扑结构中的位置;
- (7) 测试.芯片的复杂度和集成度越来越高,测试成本比设计和制造成本更高、耗时间更长.因此,如何更高效地完成 3D NoC 测试已成为研究热点^[75].3D IC 具有比传统的平面 IC 更高的性能,在 3D IC 上进行有效的测试架构设计和优化技术可以减少 3D IC 的测试代价^[76];
- (8) 交换技术.交换技术决定交换节点何时、如何连接其输入与输出端口,交换技术包括包交换和电路交换两种主要类型;
- (9) 服务质量.服务质量(quality of service,简称 QoS)被定义为网络提供给 IP 核需要的服务数量,包含两方面内容:① 定义了某一数量的服务;② 服务协商.服务应该具有高吞吐量、低延迟以及低功耗等特点,协商是指在 IP 核需求的服务与网络提供的现有服务之间实现平衡;
- (10) 流量控制.在 3D NoC 领域,流量控制被特定用于控制交换节点间、端到端之间的传输协议的业务量.通过避免缓冲区溢出及丢包,这些协议提供了平滑通信量策略;
- (11) 资源网络接口.资源网络接口(resource network interface,简称 RNI)是资源(IP 核)与网络间的接口,通过 RNI,IP 核可以用最小的代价使用网络.同时,IP 核和网络资源都可以重用.RNI 在功能上可以分为两个部分:其一,连接网络的部分,与 IP 核无关;其二,连接到 IP 核,与资源相关;
- (12) 其他.3D NoC 还涉及节点布局、性能仿真以及定时等方面的研究.

3.2 相关研究成果一览

自 2005 年 3D NoC 首次被提出,可查到的有关 3D NoC 关键问题研究公开发表的各方向的学术论文所占比例如图 4 所示.拓扑结构和路由算法是两个重要的研究方向,其论文数分别占 3D NoC 相关总论文数的 27.52% 和 21.71%.此外,还有通信容错、性能评估、低功耗、映射算法、测试、交换技术、服务质量、流量控制以及资源网络接口等研究方向,论文所占比例依次为 9.37%,9.02%,7.00%,5.34%,2.97%,1.30%,1.19%,1.19%和 0.71%;其他方面的研究涉及更多问题,论文所占比例为 12.69%.

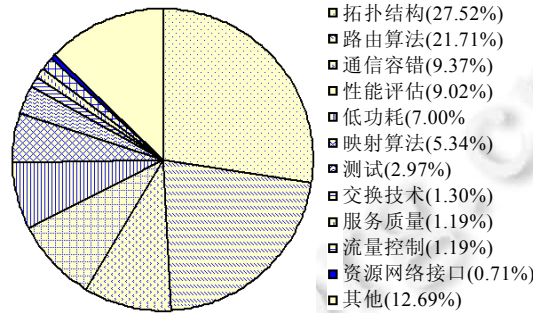


Fig.4 Proportion of related papers of each key problem in 3D NoC
图 4 3D NoC 各关键问题研究领域发表论文所占比例

4 三维片上网络主要研究进展

自 2005 年第一篇关于 3D NoC 的学术论文发表以来,国内外有许多科技工作者对这一领域的关键问题进行了大量的研究,并取得了许多研究成果.

4.1 拓扑结构

综合国内外目前的研究成果,3D NoC 拓扑结构可归纳为 63 种,可以从不同角度进行分类.由于 3D NoC 主要解决通信瓶颈问题,可以从通信角度将 3D NoC 拓扑结构分为 9 大类,如图 5 所示^[30].

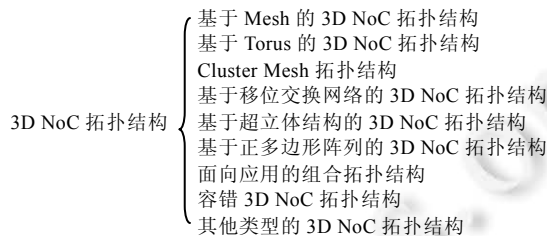


Fig.5 3D NoC topology classification
图 5 3D NoC 拓扑结构分类

4.1.1 基于 Mesh 的 3D NoC 拓扑结构

基于 Mesh 的 3D NoC 拓扑结构包括:直接扩展的 3D Mesh^[77]、堆叠 3D Mesh^[77]、纤毛 3D Mesh^[77]、真正 3D crossbar^[78]、低功耗异构 3D NoC^[79]、三维直接访问多端口缓冲架构^[80]、层复用 3D NoC^[47]、MIRA^[81]、基于 3D Mesh 的双链路互连架构^[82]、低基数低直径 3D 互连网络拓扑结构^[83]、基于双向双同步垂直通道的 3D NoC 架构^[84]、垂直部分连接的 3D NoC 拓扑结构^[85]、基于异构布局的 3D NoC 拓扑结构^[69]以及 Tiny NoC^[86]等.其中,直接扩展的 3D Mesh 是将 2D Mesh 直接扩展到三维空间中;堆叠 3D Mesh 是分组交换网络与总线的混合体,通过横跨芯片整个垂直方向的总线将多个 2D Mesh 堆叠起来;纤毛 3D Mesh 是每个路由节点与多个 IP 核

相连的 3D Mesh 结构,网络的路由与通信被限制在路由节点所在的各层芯片内,每个路由节点负责多个 IP 核的传输与接入.

4.1.2 基于 Torus 的 3D NoC 拓扑结构

基于 Torus 的 3D NoC 拓扑结构包括:对称 3D Torus^[87]、堆叠 3D Torus^[87]、3D X-Torus^[87]以及压缩的 3D Torus 架构^[88]等.其中,对称 3D Torus 是一种完全对称的拓扑结构,每个节点的设置都相同,因此所有路由器微结构均相同;堆叠 3D Torus 是将多层 2D Torus 结构进行堆叠、每层顺次连接得到的;3D X-Torus 是将 2D Torus 堆叠起来,其节点路由器在传统 NoC 路由器设计的基础上新增了一个端口,用于连接纵向路由器,该路由器与纵向每一列的节点相连.

4.1.3 Cluster Mesh 拓扑结构

Cluster Mesh 拓扑结构包括:Cluster Mesh^[89]、基于网格和基于环的拓扑结构^[90]、基于 Cmesh 和 TSV 的 3D NoC 拓扑结构^[91]、三维多聚类片上网络的混合分层架构^[15]、采用先进层间总线架构的基于分簇拓扑的 3D NoC 架构^[92]、基于分簇拓扑的三维堆叠架构^[93]、三维递归网络拓扑^[94]以及基于部分重叠集群的 3D NoC 拓扑结构^[95]等.其中,Cluster Mesh 应用一个新的垂直互连序列方案,通过垂直路由器共享垂直链路来降低 TSV 的数量;基于网格和基于环的拓扑结构都有 3 层,每层包含 16 个节点,每个 IP 核通过路由器连接网络,每个路由器依次与相邻路由器连接,每 4 个节点组成一个聚类,其中一个节点为聚类头节点;基于 Cmesh 和 TSV 的 3D NoC 拓扑结构利用光学互连(optical interconnection system,简称 OIS)和电气互连系统(electrical interconnection system,简称 EIS),克服了 Cmesh 拓扑的局限性,通过降低路由器密度比率提高了吞吐量.

4.1.4 基于移位交换网络的 3D NoC 拓扑结构

传统的移位交换网如图 6(a)所示,其中,节点地址用二进制表示.

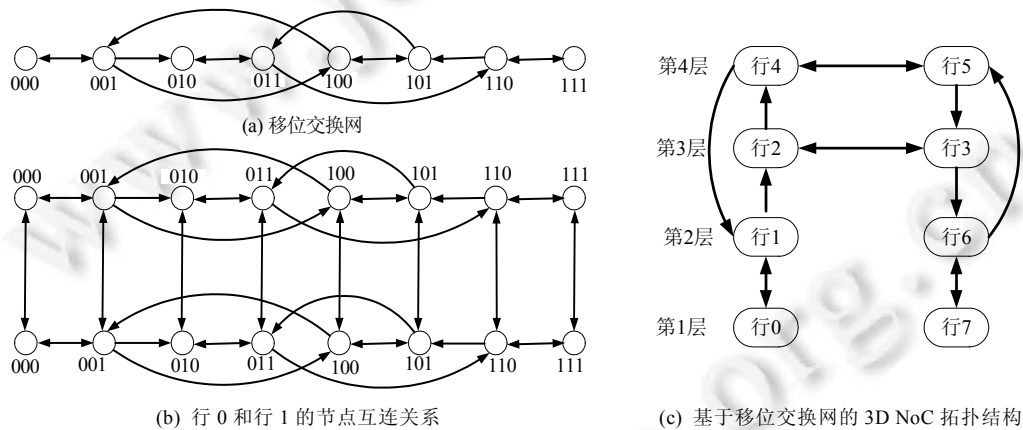


Fig.6 3D NoC based on shuffle-exchange topology

图 6 基于移位交换网的 3D NoC 拓扑结构

相邻节点的地址满足循环移位或者交换(地址的最低位取反)关系基于移位交换网络的 3D NoC 拓扑结构,包括:基于移位交换网的 3D NoC 拓扑^[96]、基于桥接 De Bruijn 图的 3D NoC^[23,97-99]、基于环接 De Bruijn 图的 3D NoC^[23,97-99]、基于双 De Bruijn 图的 3D NoC^[23,97-99]、基于增强桥接 De Bruijn 图的 3D NoC^[100]以及 Kautz Mesh^[57]等,其中,

- 基于移位交换网的 3D NoC 拓扑如图 6(c)所示,每一行表示一个一维的移位交换网.例如,第 0 行有 8 个节点,每个节点与第 1 行中的对应节点双向连接;其他节点也按照类似的方式连接,如图 6(b)所示;
- 基于桥接 De Bruijn 图的 3D NoC 芯片内网络采用直径小、节点度固定、路由灵活的 De Bruijn 图^[101]作为拓扑,芯片之间采用桥结构进行连接;

- 基于环接 De Bruijn 图的 3D NoC 芯片内网络采用 De Bruijn 图,芯片之间采用双环将三维结构上的各个节点连接起来以实现容错.

4.1.5 基于超立体结构的 3D NoC 拓扑结构

基于超立体结构的 3D NoC 拓扑结构包括:三维超立方体结构^[102]、三维超 Mesh 结构^[103]、三维超 Torus 结构^[104]、三维超立方体双环拓扑结构^[105,106]、3D Torus 连接的 Petersen 图拓扑结构^[24]、三维长方形纽花环网络拓扑结构^[24]、环嵌入超立方体结构^[107]、分层 Torus 网络^[108]以及对称圆环 Torus 网络^[109]等.其中,三维超立方体结构如图 7 所示,它具有对称性好、网络直径短以及可扩展性好等优点,但超立方体在二维芯片中不易布局,而在三维芯片中可以很方便地进行布局;三维超 Mesh 结构是通过 Mesh 和超立方体交叉得到的,继承了超立方体和 Mesh 两者的优点,同时还提高了超立方体的可扩展性、降低了节点度和成本;三维超 Torus 结构以三维超立方体架构为基本模块,并结合了 Torus 网络,节点度为 4,节点和边是对称的,并且具有可扩展性.

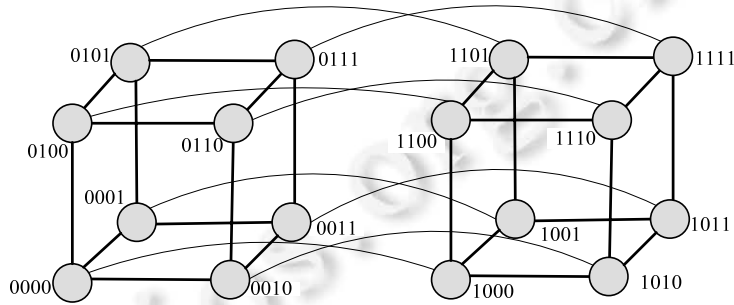


Fig.7 Four-Dimensional hypercube topology
图 7 四维超立方体拓扑结构

4.1.6 基于正多边形阵列的 3D NoC 拓扑结构

基于正多边形阵列的 3D NoC 拓扑结构包括:蜂窝状 3D NoC 拓扑^[110]、基于 Spidergon 的通用三维拓扑结构^[111]以及 3D Octagon 双环拓扑结构^[112]等.其中,蜂窝状 3D NoC 拓扑是由正六边形堆叠起来的拓扑结构,除顶层和底层外,其他内部层上的每个路由器包含两个纵向连接,用于连接与其上下相邻的路由器,如图 8 所示.基于 Spidergon 的通用三维拓扑结构顶点对称,提供了设计的方便性和规则性,使它适合多种互连模型,降低了布局的复杂性.另外,低节点度和较小的网络直径使得延迟降低;3D Octagon 双环拓扑结构的最大特点是网络距离短、任何两个节点之间通信最多只需要两步即可完成,并且布线复杂度比交叉开关结构低很多.

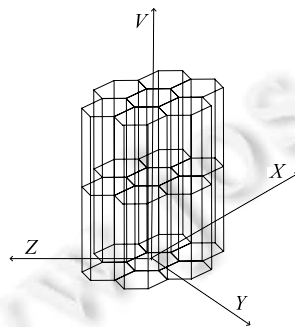


Fig.8 Architecture of 3D honeycomb Mesh network
图 8 三维蜂窝 Mesh 架构

4.1.7 面向应用的组合拓扑结构

面向应用的组合拓扑结构包括:XNoTs^[113]、SunFloor 3D^[114]、3D 处理器-存储器架构^[115]、3D 光学 NoC

拓扑结构^[62]、3D 存储器网络架构^[116]、应用于特定程序的 3D NoC 结构^[45]、CMP 感知的特定应用的 3D NoC^[117]、基于聚类的功率感知拓扑结构^[118]以及最小重构三维堆叠纳米光子片上网络架构^[119]等.其中,XNoTs 拥有连接不同层和它们的核的交叉开关,每个二维层都是可以单独自定义的,其形式包括 Mesh,Tori 以及 Tree 等;SunFloor 3D 用于合成专用的 3D NoC 拓扑结构,配置和布局 3D 层上的网络元件,生成的拓扑结构与标准的拓扑结构相比,显著降低了功率和延迟;CMP 感知特定应用的 3D NoC 拓扑结构如图 9 所示,实验结果表明,这种拓扑结构比 TSV 高度变化平均减少 17.9%,跳数减少 15%,总体线长缩短 2.3%.

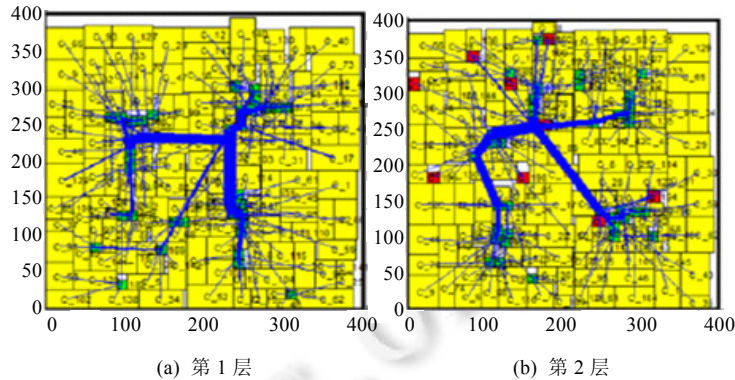


Fig.9 CMP-Aware application-specific 3D NoC

图 9 CMP 感知的特定应用的 3D NoC

4.1.8 容错 3D NoC 拓扑结构

容错 3D NoC 拓扑结构包括:局部虚拟信道共享架构^[120]、同构并行集中 Mesh 结构^[121]、特定应用程序容错 3D NoC 拓扑合成^[122]以及基于 Mesh 的容错 3D NoC 拓扑结构^[123]等.其中,局部虚拟信道共享架构,实现了自主的虚拟信道缓冲共享;同构并行集中 Mesh 结构可以动态地适应网络中的工作状态,通过使用部分低通信率的网络降低功耗,通过使用高通信率的网络提高性能.

4.1.9 其他类型的 3D NoC 拓扑结构

还有一些 3D NoC 拓扑结构,如:基于树图的 3D NoC^[77]、三维合成 CLOS NoC^[124]、序列化垂直通道 3D NoC^[125]、新型 3D NoC 拓扑结构模型 Shuttle^[126]、基于蝶形胖树的低延迟扩展 3D NoC^[127]以及小功耗分层 3D NoC 拓扑^[128]等.蝶形胖树的拓扑结构如图 10(a)所示,它通过多个层次的交换网络把各 IP 核连接起来,网络直径小,但是交换网络结构复杂.Stanley 等人提出的基于蝶形胖树的 3D NoC 如图 10(b)所示,序列化垂直通道 3D NoC 可以导致更好的 TSV 热分布,可以降低峰值温度,同时由于降低了阻塞,使多个层之间的 IP 核可以更有效分布.各类 3D NoC 拓扑结构性能比较见表 2.

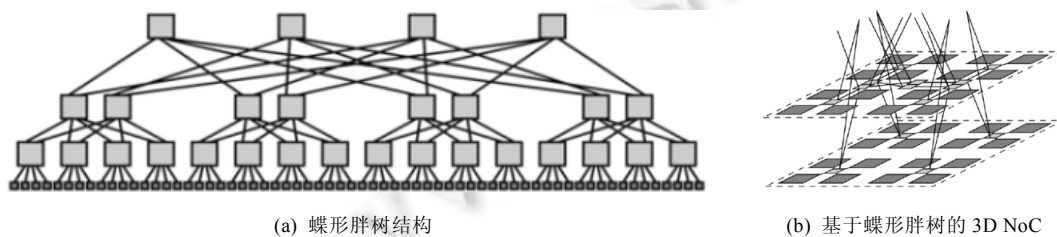


Fig.10 BFT and its 3D architectures

图 10 蝶形胖树及其三维架构

Table 2 Performance comparison of different topologies

表 2 拓扑结构性能比较一览表

类别	序号	拓扑结构	特点
基于 Mesh 的 3D NoC 拓扑结构	1	直接扩展的 3D Mesh	结构简单、可扩展性好、容易实现,但网络直径和平均延迟较大
	2	堆叠 3D Mesh	比 3D Mesh 结构的网络延迟小,但垂直方向上延续了总线结构的缺点
	3	纤毛 3D Mesh	网络利用率高、延迟小,但路由节点的通信负载较重、容易产生拥塞
	4	真正 3D Crossbar	支持灵活快速路由,但复杂度和能耗急剧增加
	5	低功率异构 3D NoC	功率低、结合了 3D Mesh 中 2D 路由和 3D NoC 总线混合路由架构的优势
	6	三维直接访问多端口缓冲架构	设计灵活、使得全局布线延迟降低、互连架构性能提高、缓和了深亚微米技术的负面影响
	7	层复用 3D NoC	最坏情况下可实现与传统 3D Mesh 中最好的无关路由算法相同的吞吐量
	8	MIRA	减小了整体面积需求、降低了能耗,但难以复用高度优化的 2D IP 核设计
	9	基于 3D Mesh 的双链路互连架构	通信带宽加倍、降低了消息传输的路由跳数、网络平均延迟降低和最大吞吐量提高,但增加了控制逻辑电路
	10	3D 互连网络拓扑	低基数、低直径
	11	基于双向双同步垂直通道的 3D NoC 架构	减少垂直互连的面积区域
	12	垂直部分连接的 3D NoC	每层的拓扑结构和规模都可以不同、路由算法也可以不同
	13	基于异构布局的 3D NoC	减少芯片的面积区域、物理链路也随之减少、提高了网络性能
	14	Tiny NoC	可扩展的、高效的 3D Mesh 架构、实现延迟和芯片面积的最小化
基于 Torus 的 3D NoC 拓扑结构	15	3D 对称 Torus	全对称网络、其中的每个节点均可以作为网络的中心节点
	16	3D 堆叠 Torus	将多层 2D Torus 结构堆叠、每层顺次连接、去掉了垂直方向的长线
	17	3D X-Torus	层间通信需要通过纵向路由器实现且均可用 2 跳完成
	18	压缩的 3D Torus 架构	提高了可扩展性,低了平均跳步数、路由节点和链路的需求
Cluster Mesh 拓扑结构	19	Cluster Mesh	共享垂直链路,降低了 TSV 数量、面积和能耗
	20	基于网格和基于环的拓扑	每个 IP 核通过路由器连接网络、每个路由器依次与相邻路由器连接、每 4 个点组成一个聚类
	21	基于 Cmesh 和 TSV 的 3D NoC	克服了 Cmesh 拓扑的局限性,通过降低路由器密度比率提高吞吐量
	22	三维多聚类片上网络的混合分层架构	由聚类、路由器和路由器之间的互连构成
	23	采用先进层间总线架构的基于分簇拓扑的 3D NoC	层间通信通过聚类节点实现、聚类节点有一个聚类核心来建立接口到垂直总线的垂直通信
	24	基于分簇拓扑的三维堆叠架构	每层垂直通道的数量减少、有更好的空间和功率,但当层间信息交换增加时性能可能下降
	25	三维递归网络拓扑	局部垂直互连,具有哈密顿性
	26	基于部分重叠集群的 3D NoC 拓扑	通过灵活地共享部分垂直链接减少了路由器和 TSV 的数量,从而减少开销、提高了性能
基于移位交换网络的 3D NoC 拓扑结构	27	基于移位交换网的 3D NoC	路由时数据包先在各行之间传递,达到目的行后再在行上传递到目的节点
	28	基于桥接 De Bruijn 图的 3D NoC	网络直径小、平均延时小、吞吐率高且功耗低,避免数据包在桥接结构中的额外路由开销、减轻了交换节点的通信负荷
	29	基于环接 De Bruijn 图的 3D NoC	同层节点之间的数据传递高速、有效,跨层节点之间的数据传递路由机制简单
	30	基于双 De Bruijn 图的 3D NoC	网络直径较小、节点度固定、路由灵活,但同时水平方向和垂直方向采用 De Bruijn 图会使得芯片内的布局、布线有一定难度
	31	基于增强桥接 De Bruijn 图的 3D NoC	低延迟、路由简单、低功耗、容错、可扩展性好
	32	Kautz Mesh	通过快速垂直互连连接垂直节点、性能明显优于 2D 架构

Table 2 Performance comparison of different topologies (continued)

表 2 拓扑结构性能比较一览表(续)

类别	序号	拓扑结构	特点
基于超立体结构的 3D NoC 拓扑结构	33	3D 超立方体结构	对称性好、网络直径短、可扩展性好
	34	3D 超 Mesh	提高了超立方体的可扩展性、降低了节点度和成本、增加了 Mesh 的直径和对剖宽度
	35	3D 超 Torus	节点和边均为对称结构且具有可扩展性
	36	3D 超立方体双环拓扑	在保持节点度不变的情况下可进行网络扩展,可分组性与超立方体的可分组性相同
	37	3D Torus 连接的 Petersen 图拓扑	正规、对称、可扩展的互连网络,网络扩展和路由算法较易实现
	38	3D 长方形组花环网络拓扑	减小了平均距离和直径、增强了系统的本地特性、提高了网络性能、且使节点编码和路由消息更加简单
	39	环嵌入超立方体结构	随着网络规模的扩大,节点度增加,但直径仍然较小
	40	分层 Torus	更低的传输时间、更高的吞吐量和更低的延迟
	41	对称圆环 Torus	节点度固定、网络直径小、成本低、平均距离小、更好的容错性能
基于正多边形阵列的 3D NoC 拓扑结构	42	蜂窝状 3D NoC	四度蜂窝可以减少垂直链路数量,从而节约成本
	43	基于 Spidergon 的通用三维拓扑	结构顶点对称,提供了设计的方便性、规则性、低节点度
	44	3D Octagon 双环 NoC 拓扑结构	网络距离短、灵活、布线复杂度明显低于交叉开关结构
面向应用的组合拓扑结构	45	XNoTs	减少了芯片间的路由跳数、提高了吞吐量,但加重了交换节点通信负荷
	46	SunFloor 3D	显著地降低了功耗和延迟
	47	3D 处理器-存储器架构	访问片外存储器及存储访问的时间相对较短、能耗较低
	48	3D 光学 NoC 拓扑	在光层集成了一个光数据传输网络,用于连接所有使用光互连 Cygnus 路由交换结构
	49	3D 存储器网络架构	使用嵌入到 L2 高速缓存中的网络结构的路由体系结构和拓扑结构
	50	应用于特定程序的 3D NoC	功耗低、跳数少
	51	CMP 感知的特定应用的 3D NoC	高度变化小、跳数少、总线长度短
	52	基于聚类的功率感知拓扑结构	功耗低、网络资源得到改善
容错 3D NoC 拓扑结构	53	最小重构三维堆叠纳米光子片上网络架构	高效能、可重构
	54	局部虚拟信道共享 NoC 架构	降低故障对系统性能的影响、可以容忍路由逻辑故障,实现了自主的虚拟信道缓冲共享
	55	同构并行集中 Mesh	极大地降低了功耗和延迟,但增加了制造成本和热影响
其他类型 3D NoC 拓扑结构	56	特定应用程序容错 NoC 拓扑合成	改善容错性、降低功耗
	57	基于 Mesh 的容错 3D NoC	提高芯片的可靠性和合格率、提供了容错机制与有效替代路径的搜索时间之间的折中分析
	58	基于树图的 3D NoC	网络直径小、能耗低、布线面积减小、但交换网络结构复杂
	59	三维合成 CLOS NoC	减少路由区和线的长度、掩模重用、缩短设计周期
	60	序列化垂直通道 3D NoC	更小的性能退化和更低的功耗、面积区域降低、且能避免互连的路由阻塞
	61	一种新型 3D NoC 拓扑模型 Shuttle	节省了跳数
	62	基于蝴蝶胖树拓扑的低延迟扩展 3D NoC	减少以跳数衡量的网络延迟
	63	小功耗分层 3D NoC	在面积、功耗方面均有很大优势

4.2 路由算法

综合分析可查到的有关 3D NoC 路由算法的学术论文,将目前的 3D NoC 路由算法进行归类总结,并将其分成无关路由算法、自适应路由算法和其他路由算法这 3 类^[29]。

4.2.1 无关路由算法

无关路由算法是一种常见的路由算法,它的路由路径只与源节点地址和目的节点地址有关,在给定源节点和目的节点地址的前提下,路由的下一跳节点随机决定,而与当前的网络状态无关。无关路由的优点是路由算法

简单,在网络低拥塞环境下能够获得较低的延迟.但是,由于其不能响应动态的网络状态变化,所以当网络拥塞增加时,性能迅速降低.

确定性维序 XYZ 路由算法^[129]、RPM 无关路由算法^[46]、LA-XYZ 路由算法^[130]、VDR 路由算法^[131]、USM 路由算法^[132]以及 PROM3D 路由算法^[133]都属于无关路由算法.在维序路由算法中,每个数据包每次只在一个维上路由,当在该维上到达了目的坐标之后,才按由低维到高维的顺序在其他维上路由.使用 RPM 无关路由算法通常会得出两个合适的路径:Z-XY-Z 和 Z-YX-Z 路径,路由过程中共需要 3 次转弯.LA-XYZ 路由算法是在 XYZ 算法的基础上提出的,也被称为最小限度的维序路由算法.VDR 路由算法旨在三维空间中建立源处理单元到目的处理单元的对角链,VDR 算法和 XYZ 路由算法的对比如图 11 所示.USM 路由算法包括 3 个部分:ZXXYZ 路由、XYZYX 路由和 YZXZY 路由.其中,每个部分被选中的机会都是均等的,并且 3 个部分都使用最短路径路由.PROM3D 路由算法在每个节点局部地选择下一个可用节点,并且在每一个节点上随机选择下一跳节点.

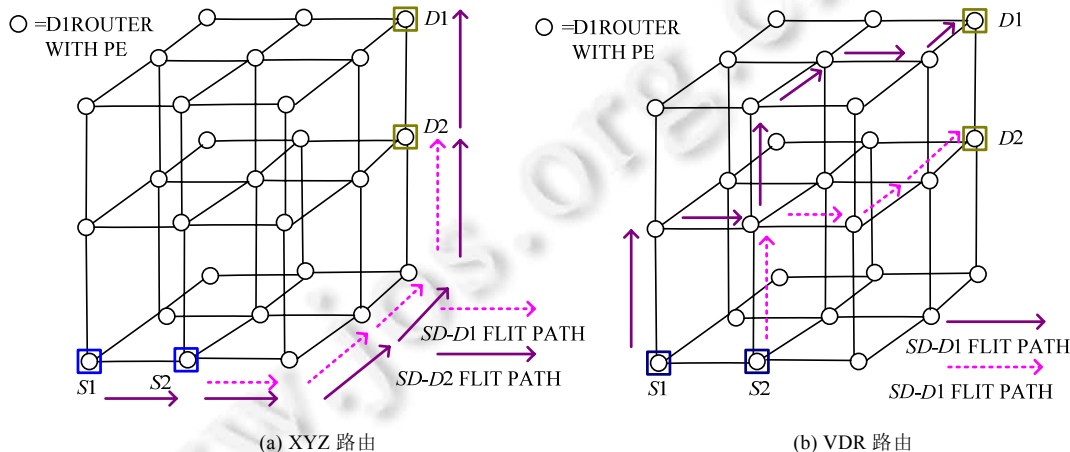


Fig.11 Comparison between XYZ and VDR

图 11 XYZ 和 VDR 之间的对比

4.2.2 自适应路由算法

自适应路由算法是指数据包的路由路径不仅与源节点和目的节点的地址有关,还要考虑网络的即时流量和拥塞状况,即:源节点与目的节点地址相同的数据包在不同的网络状态下,它们的路由路径也可能不同.自适应路由算法的优点是避免了网络拥塞,可以获得更高的网络带宽和吞吐量;但是路由逻辑复杂、需要的资源较多、实现起来较困难,并且在低拥塞的情况下开销较大,而且还存在死锁问题.

目前,主要的自适应路由算法有:LFDRA 路由算法^[134]、4NP-First 路由算法^[135]、AFRA 路由算法^[136]、TDAR 路由算法^[137]、TPRA 路由算法^[138]、TTAR 路由算法^[139]、TFRA 路由算法^[140]、自适应层间路由算法^[141,142]、SBSM 和 DBSM 算法^[143]、Elevator-First 路由算法^[144]、DBFALI 路由算法^[145]、可降解的路由算法^[146]、无死锁的平面平衡的自适应路由算法^[147]、DyXYZ 路由算法^[148]、偏转路由方案^[149]、Redelf 路由算法^[150]、TAAR^[151]、TTABR^[152]、使用曼哈顿距离策略的容错路由算法^[153]、一种有效的完全自适应容错路由算法^[154]、DQP 路由算法^[155]、ATTR^[156]、高度自适应和拥塞感知的路由算法^[157]、3D-RPM^[158]、三维递归超图哈密顿连接网络无死锁路由算法^[159]、双向路由^[160]、面向非全互连 3D NoC 可靠通信的分布式路由算法^[161]、HLAFT^[162]以及基于层次化片上网络的混合多播路由算法^[163]等.其中,LFDRA 路由算法的路由设计主要分为两步——同层数据包路由和跨层数据包路由,该算法只使用一层路由表和两个 TSV 状态向量,就可以做出有效的路由以避免垂直链路和水平链路故障,算法示意如图 12 所示;4NP-First 算法通过虚拟信道技术来避免死锁,并且分割出了两个虚拟信道,一个分配给 4N-First 数据包,另一个分配给 4P-First 数据包;AFRA 算法是一种允许垂直链路出现故障的低成本高性能可靠路由算法;TDAR 算法是带有垂直链路带宽限制的适用于 3D Mesh 的自适应路由算

法;TPRA 算法是考虑到功耗的三维自适应路由算法;TTAR 算法是一种自适应路由算法,用于缓解由于短暂的温度控制节流造成的通信拥塞,主要由自适应路由功能和节流意识选择组成;TFRA 算法是考虑到功耗的免死锁三维全动态 3D NoC 路由算法,该算法以传统 2D NoC 奇偶转弯模型为基础,将三维路由空间划分为 8 个象限,针对每个象限制定相应的路由策略。

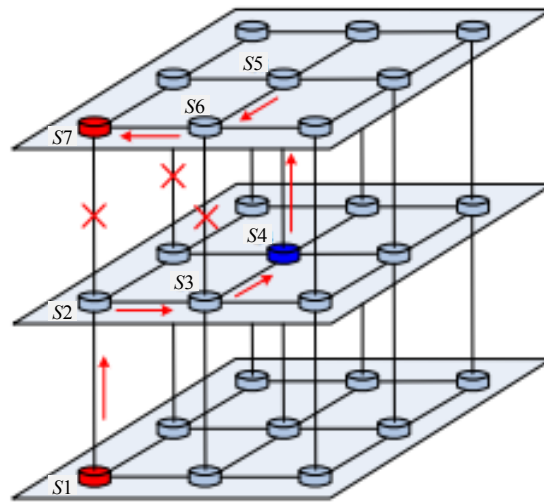


Fig.12 Example of LFDRA routing algorithm

图 12 LFDRA 路由算法示意

4.2.3 其他路由算法

电子科技大学张宇阳等人提出了 DFTR(dual flit transmission rate)路由架构^[164],该架构可以获得垂直方向上更快的传输速率.同时,该架构使用虚拟输出队列(virtual output queue,简称 VOQ)代替原来的虚拟信道,降低了开关延迟,并提高了性能.台湾大学 Huang 等人提出了热敏共享路由架构^[59],该架构移除了所有顶层的路由,只使用总线结构连接顶层,从而避免了热影响.这种路由架构在热影响下的性能超过了许多已有的设计,在 85°C 时能获得 1.4 倍的数据包、在 80°C 时能获得 2 倍的数据包,并且该架构有效地降低了跳步数.台湾大学 Chao 等人针对非静止、不规则的 Mesh(non-stationary irregular mesh,简称 NSI-mesh)拓扑提出了一个传输层辅助路由方案——TLAR(transport layer assisted routing)^[58].NSI-mesh 是一种时变的不规则拓扑,主要有两点特征:其一,当一个路由被限流时,其上面的所有路由被限流;其二,若有一个路由未被限流,则所有的路由均未被限流.此外,Chen 等人提出了 VTBR(vertical traffic balance routing)路由方案^[165],该方案中包含了两方面的技术,分别是无关的向下层选择技术和释放横向向下转弯模型,该方案比之前提出的 TLAR 在吞吐量和通信负载平衡方面均有显著的提高.美国科罗拉多州立大学 Salas 等人提出了一个新的带有路由中心分解和共享虚拟信道缓存的路由结构,被称作 Roce-Bush 路由^[166],该路由由路由中心、物理优化、分解仲裁器和方向性缓存这 4 部分构成.

4.3 性能评估

性能评估是 3D NoC 设计中需要考虑的一个重要因素,为了比较不同的 3D NoC 结构,必须使用一套标准的性能评价指标.评估一个 3D NoC 的性能主要包括以下几个方面:吞吐量、延迟^[167-169]、面积^[54,170]和功耗^[171,172].根据评估对象和评估方法的不同,可将性能评估分为以下两类:基于特定拓扑结构的性能评估和基于评估方法的性能评估.

4.3.1 基于特定拓扑结构的性能评估

性能评估主要是在特定条件下针对特定拓扑结构的评估.例如:在均衡负载模式和对称随机负载模式下 3D Torus 网络延迟和吞吐率的评估^[173],k-ary-2-mesh 网络及其对应的三维网络在最差情形下的通信性能评估^[25],

3D 超立方体结构在均匀负载、局部负载和热点负载模式下与 3D Mesh 结构的性能比较^[174],3D NoC 轻度混合 SRAM NUCA 的性能和网络能量评估^[172],存储高效 3D NoC 架构的性能和功耗分析^[175],3D 堆叠可重构纳米光子互连的可伸缩性和性能评估^[176].

4.3.2 基于评估方法的性能评估

性能评估的方法有很多,如:基于网络演算对片上网络进行系统建模和性能分析^[177],通过数学分析和软件仿真,对片上网络的两种常见拓扑结构(Torus 结构和 Mesh 结构)在 3D NoC 中的通信性能(传输延时和吞吐量)和面积开销进行评估^[178];利用实验仿真,在均匀负载、局部负载和热点负载模式下将超立方体结构与 3D Mesh 结构进行网络性能与功耗的比较^[179].

4.4 低功耗

NoC 的互连网络功耗有如下定义:NoC 内节点之间由数据交换所产生的功耗^[180].研究人员最先提出了一种描述 NoC 通信功耗的模型,叫“位”功耗模型,用来评估 1bit 数据经由交换开关传输后的通信功耗^[181].后来为了更精确,定义了一种更好的模型,叫“flit”功耗模型,它是求解 1flit 数据在互连网络中传输时所消耗的功耗^[182].但这两种模型都没有考虑时钟树的功耗.而随着集成电路规模的不断扩大,时钟树的功耗已经在芯片总功耗中占有相当大的比例,忽略它会使得功耗评估产生很大误差,所以,西安电子科技大学黄岗等人在第 2 种功耗模型的基础上加入了对时钟树功耗评估的模型^[183],提高了模型的准确度.功耗分析主要是分析特定拓扑结构、路由算法、映射算法以及布局等对功耗的影响.

4.4.1 基于拓扑结构的功耗分析

巴西 UFRGS 信息学研究所 Matos 等人提出了一种低功耗分层 3D NoC 拓扑^[128],因为一个簇由多个 IP 核构成,这种架构允许达到较高频率,而不会损害电路的操作频率.实验结果表明,该拓扑结构在面积及功耗方面都具有很大优势.解放军电子工程学院刘琪等人提出了一种基于三维网格的星型簇结构的片上网络(3D SCBM-NoC)^[184],可以减少路由节点、降低处理节点间的通信代价;通过分析 3D SCBM-NoC 的拓扑结构,建立了针对星型簇结构的片上网络通信能耗模型.韩国成均馆大学 Kim 等人提出了一种基于 Cmesh 和 TSV 的拓扑结构^[91],该结构利用光学互连(OIS)和电子互连(EIS),克服了 Cmesh 拓扑的局限性,通过降低路由器密度比率提高吞吐量.与传统的 3D Mesh 片上网络相比,吞吐量提高了 19%、功耗减少了 48%;与只使用 EIS 的 3D Cmesh 片上网络相比,吞吐量提高了 70%、功耗减少了 28%.

4.4.2 基于路由算法的功耗分析

日本会津大学 Ahmed 等人提出的 LA(look-ahead)-XYZ 算法可以被分为两步:分配下一个地址和定义新的 Next-port^[130].优化后的路由算法与传统的三维路由算法相比,在提高系统吞吐量的同时降低了整个系统的通信延迟和功耗.南京大学秦云海等人提出的 TPRA(three-dimensional power-adaptive routing algorithm)算法是一种面向功耗的三维自适应路由算法^[138],在满足限制规则的情况下引入功耗优化机制,当存在多条可选路径时,路由器会根据网络的功耗状况做出选择.南京大学虞潇等人提出的 TFRA(three-dimensional full-adaptive routing algorithm)算法是一种面向功耗的免死锁三维全动态 3D NoC 路由算法^[140],该算法引入了三维空间中 6 个方向的功耗比较,可以实现 3D 的全动态路由功能,因此可以大幅度地降低整个系统的功耗.

4.4.3 基于布局算法的功耗分析

武汉理工大学郑飞等人提出了基于传递规约无环图的三维布图规划技术 3D-TRG,可以根据特定应用优化三维片上网络中模块的布局,从而使功耗更低^[74].对图 13(a)中的示例图,根据两两模块之间关系的定义,可以得到如图 13(b)~图 13(d)的 3 个模块关系图,分别为 X 方向关系图 G_x ,y 方向关系图 G_y ,z 方向关系图 G_z ,这 3 个图的整体就是一个三维布局的表示,记为 3D-TRG.基于布图规划技术分别采用了模拟退火、遗传算法和离散粒子群算法对面向特定应用的 3D NoC 进行了优化,并对 3 种算法的优化结果进行了对比分析.

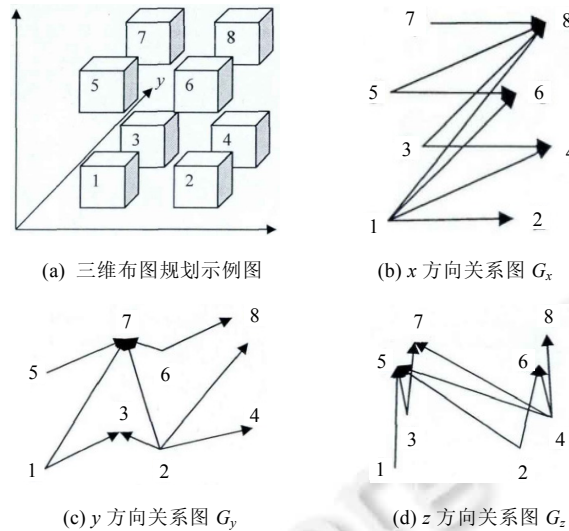


Fig.13 Three-Dimensional layout planning technology called 3D-TRG
图 13 三维布图规划技术 3D-TRG 示意图

4.4.4 基于映射算法的功耗分析

航空电子系统综合技术重点实验室葛芬等人提出一种功率和热感知 3D NoC 映射方法^[140],该方法使用遗传算法将 IP 核映射到 3D NoC 架构中,以实现最小化功耗和温度偏差的目标,该算法分为 4 步:① 通过遗传算法产生一个最佳映射集;② 在进入 Nigram 仿真器的 IP 核之间输入所确定的通信关系,并设置配置文件;③ 将映射集功耗痕迹作为仿真框架中 Hotspot 的输入;④ 判断该映射集是否最优.加拿大维多利亚大学 Elmiligi 等人提出了一种 3D NoC 功耗分析模型^[185],该模型依靠图论概念综合分析静态和动态功耗,更加精确地分析了 3D NoC 的功耗.

4.4.5 其他形式的功耗分析

日本庆应义塾大学张浩等人提出了低功耗技术,只有当晶体管的利用率高于阈值时,才通过切断无线垂直链接的发射机中的偏置电压来停止晶体管工作^[64].南京大学虞萧等人提出了 3 种存储高效的 3D NoC 架构,分别称为核心、角落和窗户,以实现更好的性能和更低功耗的系统^[175].加拿大维多利亚大学 Haytham 等人引入一种新的 3D NoC 能耗分析模型^[186],该模型依赖于图形和理论概念,组成静态和动态能量以提供更准确的 3D NoC 功耗评估.

4.5 映射算法

综合分析所查到的有关 3D NoC 映射的研究论文可以看出:大部分 3D NoC 映射算法是启发式算法,也有一部分非启发式映射算法.3D NoC 映射算法的分类如图 14 所示.

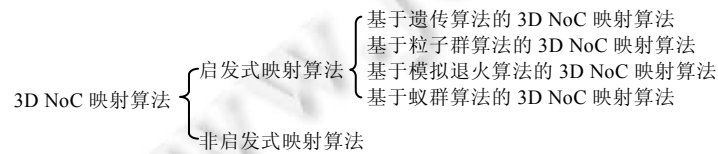


Fig.14 3D NoC mapping algorithm classification
图 14 3D NoC 映射算法分类

4.5.1 启发式映射算法

启发式映射算法中,基于遗传算法的映射算法包括:基于遗传算法的热感知映射算法^[187]、基于逻辑斯蒂函

数的自适应遗传算法^[188,189]、基于等级制度的多目标优化遗传映射算法^[16,188]、基于遗传算法的系统优化方法^[190]、热和竞争感知的映射算法^[191]、3D Mesh 热感知映射算法^[192]、功率与热感知映射算法^[193]以及采用虚拟 IP 的 3D NoC 映射方法^[188]等。其中,基于遗传算法的热感知映射算法流程如算法 1 所示;基于粒子群算法的映射算法包括基于 3D-Mesh 的 CMP 片上网络映射方法^[194,195]、基于离散粒子群算法的应用程序映射^[196]、使用八面体遍历的集中式 3D 映射^[197]、基于 ARPSO 的映射算法^[198]以及采用仿生优化的拓扑和映射方法^[186]等;基于模拟退火算法的映射算法包括针对最小信号 TSV 的 3D NoC 映射算法^[199]、基于 3D Mesh 的多播映射方案^[5]以及电力输送感知热感知映射框架^[200]等,其中,针对最小信号 TSV 的 3D NoC 映射算法中层间映射优化算法流程如算法 2 所示;基于蚁群算法的映射算法包括动态蚁群算法^[201]以及面向通信能耗的 3D NoC 映射算法^[202]等。

算法 1. 基于遗传算法的热感知映射算法.

- ① 指定层数和层的维数;
- ② 生成 n 个随机整数排列阵列;
- ③ 生成芯片平面布局;
- ④ 初始化算法,包括功率和通信数据;
- ⑤ while 未达到最大迭代次数 do
- ⑥ for 每个解决方案
- ⑦ 生成布局;
- ⑧ 计算跳步的通信成本;
- ⑨ 估计每个 PE 的温度值;
- ⑩ 记录峰值温度;
- ⑪ 评估成本函数;
- ⑫ end for
- ⑬ 交叉;
- ⑭ 变异;
- ⑮ end while
- ⑯ 输出最佳解决方案

算法 2. 层间映射优化算法.

- ① 随机产生一个层间映射结果 M ;
- ② while 初始温度 $T >$ 最小设定温度 T_{\min} do
- ③ 随机选择两个 IP 核;
- ④ while 所选 IP 核位于 M 中的同一层上 do
- ⑤ 改变两个 IP 核的位置,获得新的层间映射结果 M' ;
- ⑥ end while
- ⑦ if $f(M') < f(M)$ 或者 $\exp((f(M') - f(M))/T) > (0-1)$ 之间的一个随机数) then
- ⑧ 将 M' 作为当前映射结果;
- ⑨ end if
- ⑩ 降低温度;
- ⑪ end while
- ⑫ 输出层间映射结果

4.5.2 非启发式映射算法

非启发式映射算法包括:快速低能耗映射算法 SYMMAP^[203,204]、常规 3D NoC 热感知算法^[205]、应用程序

到多电压 3D NoC 映射算法^[206,207]、功率感知运行时增量映射算法^[208]、3 种基于 ILP 的静态热感知映射算法^[209]、约束带宽的映射算法^[210]、多目标免疫算法^[211,212]、异构 3D NoC 映射算法^[213]以及异构处理机映射算法^[214]等.映射算法性能比较见表 3.

Table 3 Performance comparison of different mapping algorithms

表 3 映射算法性能比较一览表

分类	序号	3D NoC 映射算法	特点
基于遗传算法的 3D NoC 映射算法	1	基于遗传算法的热感知映射算法	热感知、通信感知、显著地降低系统温度
	2	基于逻辑斯蒂函数的自适应遗传算法	算法收敛速度得到提高、尽可能保证算法中解的丰富性及变异操作的有效性
	3	基于等级制度的多目标优化遗传映射算法	有效地寻找出近似 Pareto 最优而非单个解、在两个维度上提升系统性能
	4	基于遗传算法的系统优化方法	能找到性能更好、通信成本更低的系统设计步骤
	5	热和竞争感知的映射算法	实现多目标映射、确保较低的复杂度、达到峰值温度和网络竞争之间的适当平衡
	6	3D Mesh 热感知映射算法	节点之间的温度偏差减小、峰值温度有所降低
	7	功率与热感知映射算法	功耗和节点间温度偏差减小
	8	采用虚拟 IP 的 3D NoC 映射方法	有效地平衡系统链路负载、降低整体通信能耗
基于蚁群算法的 3D NoC 映射算法	9	动态蚁群算法	缩短了执行时间、提高了算法单位时间内的优化能力
	10	面向通信能耗的 3D NoC 映射算法	通信能耗降低
基于粒子群算法的 3D NoC 映射算法	11	基于 3D-Mesh 的 CMP 片上网络映射算法	在单个评估模型且同等计算规模下性能有显著的提升、同时降低运算规模
	12	基于离散粒子群算法的应用程序映射	得到较优的整体通信度量
	13	使用八面体遍历的集中式 3D 映射	极大地降低了通信能耗和延迟
	14	基于 ARPSO 的映射算法	克服了过早收敛的问题、不易陷入局部最优
基于模拟退火算法的 3D NoC 映射算法	15	采用仿生优化的拓扑和映射方法	得到更好地选择 3D NoC 拓扑结构的方法、并且得到更好的 IP 映射
	16	针对最小信号 TSV 的 3D NoC 映射算法	信号 TSV 减少、峰值温度降低
	17	基于 3D Mesh 的多播映射方案	芯片峰值温度和网络通信开销降低
非启发式 3D NoC 映射算法	18	电力输送感知、热感知映射框架	归纳了一种全面解决方案的评估方法、最小化系统的能耗与延迟
	19	快速低能耗映射方法 SYMMAP	在映射速度、通信能耗等方面均具有较大优势
	20	常规 3D NoC 热感知方法	显著地降低功率、同时保证运行的应用程序性能
	21	应用程序到多电压 3D NoC 的映射方法	在满足定时约束的同时实现合理的能源节约
	22	功率感知运行时增量映射算法	功率感知、降低通信能耗
	23	3 种基于 ILP 的静态热感知映射算法	热感知、优化芯片温度
	24	约束带宽的映射算法	在 3D NoC 中有带宽约束的情况下提高服务质量
	25	多目标免疫算法	降低功耗和延迟
	26	异构 3D NoC 映射算法	实现能量和可靠性感知、功耗和延迟大为降低
	27	异构处理机映射	在合理的时间内产生令人满意的运算效果
	28	3D NoC-总线 Mesh 架构流量均衡映射算法	降低能耗、能够调节流量和能量最小化之间的平衡

4.6 其他

在 3D NoC 的研究中,还有通信容错、测试、交换技术、服务质量、流量控制、资源网络接口、布局、仿真、定时等研究方向.

4.6.1 通信容错

在通信容错方面,Nostrum 工程^[215]是瑞典皇家理工学院 Millberg 等人研发的 NoC 体系结构,它主要研究从物理层到应用层的通信问题.Nostrum 通过将每个路由节点连接到另外 4 个路由节点而形成一个规则的 2D Mesh 拓扑结构,一个资源(IP 核)连接到一个路由节点.该工程基于 System C 开发了具有图形用户界面(GUI)的仿真环境 NNSE,通过 GUI 配置 Nostrum 网络的节点数量、拓扑结构、路由策略、流量模式等进行仿真,仿真结果可以采用不同的图形方式显示^[216,217].

4.6.2 测试

3D IC 具有比传统的平面 IC 更高的性能,在 3D IC 上进行有效的测试架构设计和优化技术可以减少 IC 的测试代价.3D NoC 测试时间优化是一个重要的研究方向,目前已提出了多种不同的测试时间优化方法:合肥工业大学欧阳一鸣等人采用了一种在 3D NoC 中优化测试时间的技术,在均衡各层 IP 核测试时间的基础上对 IP 核进行布局,为各层芯片选择合适的 IP 核,并利用整数线性规划 ILP 和随机舍入方法,在总的位宽限制下,再次为每层芯片分配相应的 TAM 数据线宽度,进一步减小各层芯片的测试时间,使得总的测试时间最小^[76];桂林电子科技大学尹芝等人针对 3D NoC 资源内核的测试,采用 NoC 重用测试访问机制和 XYZ 路由方式建立功耗模型,并通过云进化算法将 IP 核的测试数据划分到各 TAM 上进行并行测试,从而降低了测试时间^[75];许川佩等人提出一种功耗限制下测试端口选择优化的方法,从而缩短了测试时间^[218].

4.6.3 交换技术

路由协议的设计及属性(死锁和活锁)在很大程度上由交换层提供的服务决定,因此,信息交换技术是反映互连网络性能的一个重要因素^[26].交换技术影响到数据传输的延迟、功耗、通信架构的面积开销以及死锁等问题.目前的交换技术主要分为电路交换、存储转发技术、虚拟直通技术和虫孔路由技术,其中,后 3 种交换技术是以数据包的形式转发数据,因此统称为包交换技术^[219,220].文献[221]对几种常见的交换技术进行了比较.文献[222]提出积极的热动态缓存分配方案来限制过热区域周围的路由资源,减少了过热路由区域中包交换的频率.文献[223]分析了 3D NoC 架构路由算法、虫洞交换架构和 MANGO 无时钟脉冲 NoC 中面向连接的服务.

4.6.4 服务质量管理

随着芯片网络中数据量的大幅增加,面对用户越来越高的服务要求,必将出现网络中各种业务服务质量难以保证的问题.3D NoC 中服务质量管理已成为一个重要的研究方向^[224].2002 年,荷兰菲利普实验室 Goossens 等人开始研究 Networks on Silicon 和片上互连网络的服务质量,并完成了 ASE thereal 工程^[225];文献[226]对两种服务进行细化,将其划分为 4 个优先等级;QoS-NoC^[227]是面向无连接服务质量保证的应用;Nostrum NoC^[215]也是一个面向连接的实现服务质量保证的范例.

4.6.5 流量控制

基于信约的路由器到路由器流量控制机制是 3D NoC 主要采用的链路级流量控制机制.文献[177]基于网络演算分析了基于信约的流量控制机制的性能和最优缓冲区大小,为了对信约的反馈控制行为进行建模,提出了一个抽象的网络服务元素——流量控制器,以定理形式推导出流量控制器和整个系统的服务曲线;为了避免协议和结构性死循环,文献[66]使用泡沫流量控制,泡沫流量控制不依赖于传统的基于 VC 的避免死锁的机制;文献[228]提出快速的系统级流控,有助于路径发现的研究.

4.6.6 资源网络接口

资源网络接口(RNI)是资源(IP 核)与网络间的接口,通过 RNI 接口 IP 核可以用最小的代价使用网络.同时,IP 核和网络资源均可重用.文献[229]提出一种基于统计时分复用(statistical time division multiplex,简称 STDM)技术的 3D NoC 架构,该架构首先在本地子系统中引入 STDM 控制单元,然后在网络接口设计中增加了计数和等待机制,并对路由节点针对 STDM 技术进行了优化设计,以增强对 STDM 的支持,减小总线、网络间的差异.文献[230]提出一种称为 Thru Chip 接口(thru chip interface,简称 TCI)的 3D NoC 无线互连,使用近场感应耦合以适用于小串音高密度平行通道安排.文献[231]提出一种高效、灵活的分布式的三维叠加 DRAM 内存接口.

4.6.7 其他

多处理器片上系统对通信带宽的要求与日俱增,结合 3D IC 和 NoC 的优点,3D NoC 应满足高性能、多功能、缩小芯片面积等设计要求.文献[232]提出一个基于 LMS 的适应性热预测模型,可以为未来温度估算自适应地调节热 RC 值.文献[233]介绍了片上存储的逻辑结构、组织结构、电路结构、互连结构,深入分析了片上存储延迟、面积、功耗的建模方法.在总结目前已有的三维片上存储设计的基础上,指出字线划分策略(3D divided wordline,简称 3DWL)和位线划分策略(3D divided bitline,简称 3DBL)这两种三维存储结构的不足,提出放松工艺约束条件的三维存储结构 3DSC(3D subcacheline).文献[18]基于 System C 环境设计了一个系统级 3D NoC 仿

真器,该仿真器包括处理器模块、存储器模块和互联结构模块,并且支持并行程序在仿真器上的运行,能够在设计初期对加载了应用程序后的系统性能进行仿真.使用该仿真器,可以进行 3D NoC 的互联结构、路由算法和程序运行性能等方面的探索研究.文献[234]提出 3D Mesh 中基于路径的多播方法的几种划分方法,效率有所提高.

5 存在的问题与发展趋势

5.1 拓扑结构存在的问题与发展趋势

- (1) 面向需求的芯片设计是未来一个重要的研究方向,主要研究适合于各种特殊需求的 3D NoC 拓扑结构,即,实现 3D NoC 拓扑结构的个性化设计;
- (2) 国内外对 3D NoC 拓扑结构的研究方法主要是计算机模拟仿真,目前尚没有成熟的公开商用的 3D NoC 仿真平台,关于 3D NoC 仿真平台的研究是未来的一个研究方向;
- (3) 国内外对 3D NoC 拓扑结构的研究大部分停留在计算机模拟仿真阶段,未来基于各种拓扑结构的 3D NoC 芯片样片试制是一个重要的研究课题;
- (4) 在 3D NoC 拓扑结构中引入无线技术是一个值得尝试的方向.

5.2 路由存在的问题与发展趋势

- (1) 目前很少有人研究关于 3D Torus 的路由算法,而 3D Torus 比 3D Mesh 在吞吐量和延迟方面更具优越性,因此,研究适合 3D Torus 的路由算法是未来的一个研究方向;
- (2) 将无关路由与自适应路由算法的优点相结合,研究出具有更好服务质量的路由算法,是今后的一个研究方向;
- (3) 随着各种新型 3D NoC 拓扑结构的提出,研究适合新型拓扑结构的高效路由算法,也将是未来的一个重要研究方向.

5.3 性能评估存在的问题与发展趋势

- (1) 目前,大部分性能优化算法和容错算法都是针对规则 3D NoC 拓扑结构提出来的,对于不规则 3D NoC 架构,对其中可能出现的永久故障问题进行容错以提高片上网络性能,是未来的一个研究方向;
- (2) 三维芯片层内的互连线和层间的穿透硅连接的长度、带宽以及信号延时都有很大不同,考虑不同架构层间链路与层内链路的异构性以及信号在线传输延时,通过改进实验仿真程序增加对物理链路的建模,是一个值得尝试的研究方向;
- (3) 考虑通信的局部性(即,将通信频繁的簇内节点布置在不同层的相同位置上),然后利用短距离、高带宽的穿透硅连接簇内节点,从而增强通信的局部性,减少消息传输延时、提高系统性能,也是一个需要探索的问题.

5.4 功耗存在的问题与发展趋势

- (1) 目前,大部分关于功耗的研究都是针对某个方面的功耗优化,对拓扑结构、映射算法、路由算法和布局进行联合优化,是未来的一个研究方向;
- (2) 现有的功率控制机制只能动态地运行,当考虑到应用程序的属性时,静态开关机制是非常有利的,静态地关闭目标应用程序的一些链接可以显著地降低功耗,而且没有额外开销.将动态控制和静态控制相结合,是未来的研究方向;
- (3) 穿透硅的尺寸、密度、跳变数等因素对功耗会产生很大影响,将 3D NoC 穿透硅层电路功耗模型与现有的 3D NoC 功耗模型相结合,提出更为精确的 3D NoC 功耗模型,是一个值得尝试的研究方向.

5.5 映射存在的问题与发展趋势

- (1) 3D NoC 在增加芯片封装密度和单芯片可集成 IP 核数的同时,也增加了芯片的能耗密度.因此,低能耗映射在 3D NoC 的设计过程中显得尤为重要,发热均匀性是未来映射算法设计需要考虑的一个重要

因素;

- (2) 为了计算在最大延迟模型和流量均衡模型下的参数,现有的映射算法往往设定唯一的路由策略,如XYZ路由算法,这个设定使得算法只适应于各CPU之间通信任务量确定的应用场合,面对突发通信任务较多的应用,一般采用基于动态调整的路由策略.然而,当路由策略采用动态调整时,片上网络路由节点之间的路由路径将由当时的网络拥塞情况决定,此时无法再准确地计算出每个任务的实际延迟时间.因此,如何解决动态路由策略下映射评估模型的优化,是一个需要着重研究的课题;
- (3) 目前,大部分3D NoC映射算法都是针对三维规则拓扑结构而提出的,但在实际需求中,面向应用的三维芯片往往具有异构的拓扑结构.因此,个性化3D NoC拓扑结构下低功耗映射算法的研究,是未来3D NoC映射问题的一个研究重点;
- (4) 在现阶段研究成果中,3D NoC映射问题的求解大量采用启发式算法,如文中提到的遗传算法、模拟退火算法等都属于这一类.在今后的研究中,可以将不同的优化算法进行组合,例如将模拟退火算法的思想与粒子群算法相结合,以更好地解决3D NoC低功耗映射问题.

6 结束语

3D NoC能够有效地解决2D NoC布局受限、难以缩短关键路径长度及减少信号延迟等问题,具有很好的发展前景.本文分析总结了3D NoC的研究现状,对3D NoC解决的关键技术问题进行了分类综述,指出了3D NoC各研究方向存在的问题和发展趋势,对深入开展3D NoC的理论和应用研究都具有重要的意义和参考价值.

References:

- [1] China Digital Science and Technology Museum. Microelectronics legend-Jack Kilby. 2014. http://amuseum.cdstm.cn/AMuseum/ic/index_02_07_04.html
- [2] Liang CD. The influence of hardware architecture on NoC's performance and research of optimization [MS. Thesis]. Xi'an: Xidian University, 2011 (in Chinese with English abstract).
- [3] Wolf W, Jerraya AA, Martin G. Multiprocessor system-on-chip (MPSoC) technology. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 2008,27(10):1701-1713. [doi: 10.1109/TCAD.2008.923415]
- [4] Bao PL. Research of topology and router for network-on-chip of thousand cores [MS. Thesis]. Xi'an: Xidian University, 2014 (in Chinese with English abstract).
- [5] Ding H. Research of multicast-aware mapping for network-on-chip [MS. Thesis]. Xi'an: Xidian University, 2014 (in Chinese with English abstract).
- [6] Katabami H, Saito H, Yoneda T. Design of a GALS-NoC using soft-cores on FPGAs. In: Proc. of the 7th IEEE Int'l Symp. on Embedded Multicore Socs (MCSoc). 2013. 31-36. [doi: 10.1109/MCSoc.2013.35]
- [7] Wang CP. Design of high performance NoC interconnect structure based on TSV [MS. Thesis]. Xi'an: Xidian University, 2014 (in Chinese with English abstract).
- [8] Magarshack P, Paulin PG. System-on-Chip beyond the nanometer wall. In: Proc. of the 2003 Design Automation Conf. (DAC 2003). Piscataway: IEEE, 2003. 419-424. [doi: 10.1109/DAC.2003.1219038]
- [9] Dally WJ, Towles B. Route packets, not wires: On-Chip interconnection networks. In: Proc. of the 38th Design Automation Conf. (DAC 2001). New York: ACM Press, 2001. 684-689. [doi: 10.1109/DAC.2001.156225]
- [10] Benini L, De Micheli G. Networks on chips: A new SoC paradigm. IEEE Computer, 2002,35(1):70-78. [doi: 10.1109/2.976921]
- [11] Baidu Encyclopedia. SoC. 2014. <http://baike.baidu.com/view/58056.htm>
- [12] Liu CC, Chen JH, Manohar R, Tiwari S. Mapping system-on chip designs from 2-D to 3-D ICs. In: Proc. of the 2005 IEEE Int'l Symp. on Circuits and Systems (ISCAS 2005). Piscataway: IEEE, 2005. 2939-2942. [doi: 10.1109/ISCAS.2005.1465243]
- [13] Feng GQ, Cai J, Wang SD. Development & applications of through wafer interconnect technology. Electronics & Packaging, 2006, 6(11):15-18 (in Chinese with English abstract).

- [14] Lee KM, Lee SJ, Kim DH, Kim K, Kim G, Kim J, Yoo HJ. Networks-on-Chip and networks-in-package for high-performance SoC platforms. In: Proc. of the 2005 IEEE Asian Solid-State Circuits Conf. 2005. 485–488. [doi: 10.1109/ASSCC.2005.251783]
- [15] Wang JW, Li L, Zhang Y, Pan HB, He SZ, Zhang R. A hybrid hierarchical architecture for 3D multi-cluster NoC. In: Proc. of the 6th Int'l Conf. on Computer Science and Education (ICCSE 2011). 2011. 512–516. [doi: 10.1109/ICCSE.2011.6028691]
- [16] Wang JW, Li L, Pan HB, He SZ, Zhang R. Latency-Aware mapping for 3D NoC using rank-based multi-objective genetic algorithm. In: Proc. of the Int'l Conf. on ASIC. 2011. 413–416. [doi: 10.1109/ASICON.2011.6157209]
- [17] Wang JW, Li L, Yi W, Pan HB, Zhang Y, Hou N, Zhang R. A dynamic ant colony optimization algorithm for 3D NoC mapping. *Jisuanji Fuzhu Sheji Yu Tuxingxue Xuebao/Journal of Computer-Aided Design & Computer Graphics*, 2011,23(9):1614–1620.
- [18] Xie MW, Zhang DL, Li Y. Design of three-dimensional network-on-chip simulator based on System C. *Electronic Measurement Technology*, 2012,35(6):98–101 (in Chinese with English abstract).
- [19] Du GM, Liu X, Song YK, Zhang DL. A temperature gradient based routing algorithm on 3D NoC. In: Proc. of the 2014 Int'l Conf. on Computing, Communication and Networking Technologies (ICCCNT). 2014. [doi: 10.1109/ICCCNT.2014.6963120]
- [20] Zhou L, Wu N, Ge F. 3-D spidergon: 3-D topology of delay optimization for networks-on-chip. *Trans. of Nanjing University of Aeronautics & Astronautics*, 2011,28(4):372–378.
- [21] Chen YO, Hu JH, Ling X. Research on topologic architecture of three-dimensional network on chip. *Telecommunications Science*, 2009,25(4):39–44 (in Chinese with English abstract).
- [22] Chen YO, Hu JH, Ling X. 3D network on chip design based on De Bruijn graph architecture. *Journal of Electronic Science and Technology of China (Naturarl)*, 2011,40(2):204–209 (in Chinese with English abstract).
- [23] Chen YO, Hu JH, Ling X. De Bruijn graph based 3D network on chip architecture design. In: Proc. of the 2009 Int'l Conf. on Communications, Circuits and Systems (ICCCAS 2009). 2009. 986–990. [doi: 10.1109/ICCCAS.2009.5250358]
- [24] Liu YY, Han JG. Study on topology architecture and communication paradigm for network-on-chip [MS. Thesis]. Xi'an: Xidian University, 2009 (in Chinese with English abstract).
- [25] Qian Y, Lu ZH, Dou Q, Dou WH. Communication performance analysis of the NoCs in 2D and 3D architectures. *Computer Engineering And Science*, 2011,33(3):34–40 (in Chinese with English abstract).
- [26] Fan JW, Yao FW. Study of 3D network-on-chip [MS. Thesis]. Nanjing: Nanjing University of Posts and Telecommunications, 2011 (in Chinese with English abstract).
- [27] Wang H, Fu YZ. A full system simulator and the thermal management research by task scheduling for 3D NoC [MS. Thesis]. Shanghai: Shanghai Jiaotong University, 2011 (in Chinese with English abstract).
- [28] Mu J, Fu YZ. Torus architecture research on 3D network-on-chip [MS. Thesis]. Shanghai: Shanghai Jiaotong University, 2010 (in Chinese with English abstract).
- [29] Wang LL, Zhang DK, Song ZG. Study of routing algorithms for three dimensional networks-chip. *Journal of Chinese Computer Systems*, 2014,35(8):1816–1821 (in Chinese with English abstract).
- [30] Zhang DK, Song ZG, Wang LL, Huang C. Survey on topologies of three-dimensional network on chip. *Journal of Frontiers of Computer Science & Technology*, 2015,9(2):129–164 (in Chinese with English abstract).
- [31] Duan XM, Zhang DK. A new fault-tolerant routing scheme for N -dimensional mesh. In: Proc. of the 13th Int'l Conf. on Parallel and Distributed Computing, Applications and Technologies, Algorithms and Programming (PDCAT 2012). Beijing, 2012. 642–645. [doi: 10.1109/PDCAT.2012.25]
- [32] Ouyang YM. Research on key issues for testing network on chip [Ph.D. Thesis]. Hefei: Hefei University of Technology, 2013 (in Chinese with English abstract).
- [33] Ouyang YM, Wang Y, Liang GH, Huang ZF. Building cluster-based 3D NoC with a weakening network stress method. *Journal of Electronic Measurement and Instrument*, 2013,27(5):421–428 (in Chinese with English abstract).
- [34] Ouyang YM, Yang YZ, Liang GH, Huang ZF. Reuse and fault-tolerant strategies for TSVs of three-dimensional network-on-chip. *Journal of Electronic Measurement and Instrument*, 2013,27(3):229–235 (in Chinese with English abstract).
- [35] Ouyang YM, Zhang YD, Liang GH, Huang ZF. A fault-tolerant design of faults and congestion-aware router in three-dimensional network-on-chip. *Acta Electronica Sinica*, 2013,41(5):912–917 (in Chinese with English abstract).
- [36] Ouyang YM, He M, Liang GH, Liu K, Gao YY. Design of flexible and configurable high-reliability router in 3D Network on-Chip. *Journal of Electronic Measurement and Instrument*, 2014,28(3):306–313 (in Chinese with English abstract).

- [37] Ouyang YM, Zhang YD, Liang GH, Huang ZF, Chang H. Design of fault-tolerant router for 3D NoC based on virtual channel fault granularity partition. *Journal of Computer Research and Development*, 2014,51(9):1993–2002 (in Chinese with English abstract).
- [38] Ouyang YM, Han QQ, Liang GH, Huang ZF, Wang XM. A distributed routing algorithm for reliable communication in vertically partially connected 3D NoC. *Journal of Computer-Aided Design & Computer Graphics*, 2014,26(3):502–510 (in Chinese with English abstract).
- [39] Ouyang J, Xie J, Matthew P, Xie Y. Evaluation of using inductive/capacitive-coupling vertical interconnects in 3D network-on-chip. In: *Proc. of the IEEE/ACM Int'l Conf. on Computer-Aided Design, Digest of Technical Papers (ICCAD)*. 2010. 477–482. [doi: 10.1109/ICCAD.2010.5653769]
- [40] Paul F, Xie Y, Chang YW, Wang Y. Three-Dimensional integrated circuits (3D IC) floorplan and power/ground network co-synthesis. In: *Proc. of the Asia and South Pacific Design Automation Conf. (ASP-DAC)*. 2010. 169–174. [doi: 10.1109/ASPDAC.2010.5419899]
- [41] Park D, Eachempati S, Das R, Mishra AK, Xie Y, Vijaykrishnan N, Das CR. MIRA: A multi-layered on-chip interconnect router architecture. In: *Proc. of the Int'l Symp. on Computer Architecture*. 2008. 251–261. [doi: 10.1109/ISCA.2008.13]
- [42] Sun GY, Wu XX, Xie Y. Exploration of 3D stacked L2 cache design for high performance and efficient thermal control. In: *Proc. of the ISLPED 2009*. 2009. 295–298. [doi: 10.1145/1594233.1594306]
- [43] Nandakumar VS, Marek-Sadowska M. Low power, high throughput network-on-chip fabric for 3D multicore processors. In: *Proc. of the IEEE Int'l Conf. on Computer Design: VLSI in Computers and Processors*, 2011. 453–454. [doi: 10.1109/ICCD.2011.6081458]
- [44] Ramanujam RS, Lin B. A novel 3D layer-multiplexed on-chip network. In: *Proc. of the ANCS 2009: Symp. on Architecture for Networking and Communications Systems*. 2009. 123–132. [doi: 10.1145/1882486.1882517]
- [45] Yan S, Lin B. Design of application-specific 3D networks-on-chip architectures. In: *Proc. of the 26th IEEE Int'l Conf. on Computer Design (ICCD 2008)*. 2008. 142–149. [doi: 10.1109/ICCD.2008.4751853]
- [46] Ramanujam RS, Lin B. Near-Optimal oblivious routing on three-dimensional mesh networks. In: *Proc. of the 26th IEEE Int'l Conf. on Computer Design (ICCD 2008)*. 2008. 134–141. [doi: 10.1109/ICCD.2008.4751852]
- [47] Ramanujam RS, Lin B. A layer-multiplexed 3D on-chip network architecture. *IEEE Embedded Systems Letters*, 2009,1(2):50–55. [doi: 10.1109/LES.2009.2034710]
- [48] Canhao XT, Pasi L, Hannu T. Exploring DRAM last level cache for 3D network-on-chip architecture. *Advanced Materials Research*, 2012,403-408:4009–4018. [doi: 10.4028/www.scientific.net/AMR.403-408.4009]
- [49] Yin AW, Xu TC, Yang B, Liljeberg P, Tenhunen H. Change function of 2D/3D network-on-chip. In: *Proc. of the 11th IEEE Int'l Conf. on Computer and Information Technology (CIT 2011)*. 2011. 181–188. [doi: 10.1109/CIT.2011.38]
- [50] Xu TC, Liljeberg P, Tenhunen H. Optimal number and placement of through silicon vias in 3D network-on-chip. In: *Proc. of the 2011 IEEE Symp. on Design and Diagnostics of Electronic Circuits and Systems (DDECS 2011)*. 2011. 105–110. [doi: 10.1109/DDECS.2011.5783057]
- [51] Rahmani AM, Latif K, Liljeberg P, Plosila J, Tenhunen H. Research and practices on 3D networks-on-chip architectures. In: *Proc. of the 28th Norchip Conf. (NORCHIP 2010)*. 2010. [doi: 10.1109/NORCHIP.2010.5669453]
- [52] Rahmani AM, Liljeberg P, Plosila J, Tenhunen H. Exploring a low-cost and power-efficient hybridization technique for 3D NoC-bus hybrid architecture using LastZ-based routing algorithms. *Journal of Low Power Electronics*, 2012,8(4):403–414. [doi: 10.1166/jolpe.2012.1202]
- [53] Rahmani AM, Liljeberg P, Plosila J, Tenhunen H. LastZ: An ultra optimized 3D networks-on-chip architecture. In: *Proc. of the 14th Euromicro Conf. on Digital System Design: Architectures, Methods and Tools (DSD 2011)*. 2011. 173–180. [doi: 10.1109/DSD.2011.26]
- [54] Rahmani AM, Vaddina KR, Latif K, Liljeberg P, Plosila J, Tenhunen H. High-Performance and fault-tolerant 3D NoC-bus hybrid architecture using ARB-NET-based adaptive monitoring platform. *IEEE Trans. on Computers*, 2014,63(3):734–747. [doi: 10.1109/TC.2012.278]
- [55] Rad MRN, Kourdy R, Nasab MR, Poyan M. Improvement the NOC bandwidth and fault tolerant by multipath routing in three-dimensional topologies for multi-media applications. In: *Proc. of the 2nd Int'l Conf. on Computer and Automation Engineering*. 2010. 497–501. [doi: 10.1109/ICCAE.2010.5451627]

- [56] Sharifi A, Sabbaghi R, Sarbazi-Azad H. The shuffle-exchange mesh topology for 3D NoCs. In: Proc. of the Int'l Symp. on Parallel Architectures, Algorithms and Networks (I-SPAN). 2008. 275–280. [doi: 10.1109/I-SPAN.2008.23]
- [57] Sabbaghi-Nadooshan R, Sarbazi-Azad H. The Kautz mesh: A new topology for SoCs. In: Proc. of the 2008 Int'l SoC Design Conf. 2008. 1300–1303. [doi: 10.1109/SOCCDC.2008.4815632]
- [58] Chao CH, Yin TC, Lin SY, Wu AY. Transport layer assisted routing for non-stationary irregular mesh of thermal-aware 3D network-on-chip systems. In: Proc. of the Int'l System on Chip Conf. 2011. 284–289. [doi: 10.1109/SOCC.2011.6085086]
- [59] Huang YR, Pan JH, Lu YC. Thermal-Aware router-sharing architecture for 3D network-on-chip designs. In: Proc. of the IEEE Asia-Pacific Conf. on Circuits and Systems (APCCAS). 2010. 1087–1090. [doi: 10.1109/APCCAS.2010.5774962]
- [60] Chao CH, Jheng KY, Wang HY, Wu JC, Wu AY. Traffic- and thermal-aware run-time thermal management scheme for 3D NoC systems. In: Proc. of the 4th ACM/IEEE Int'l Symp. on Networks-on-Chip (NOCS 2010). 2010. 223–230. [doi: 10.1109/NOCS.2010.32]
- [61] Wang Z, Ye YY, Xu J, Wu XW, Zhang W, Liu WC, Mahdi N, Wang X, Wang ZH. Thermal analysis for 3D optical network-on-chip based on a novel low-cost 66 optical router. In: Proc. of the 2012 Optical Interconnects Conf. (OIC 2012). 2012. 110–111. [doi: 10.1109/OIC.2012.6224422]
- [62] Ye YY, Duan L, Xu J, Ouyang J, Hung MK, Xie Y. 3D optical networks-on-chip (NoC) for multiprocessor systems-on-chip (MPSoC). In: Proc. of the 2009 IEEE Int'l Conf. on 3D System Integration (3DIC 2009). 2009. [doi: 10.1109/3DIC.2009.5306588]
- [63] Gu HX, Xu J. Design of 3D optical network on chip. In: Proc. of the 2009 Symp. on Photonics and Optoelectronics (SOPO 2009). 2009. [doi: 10.1109/SOPO.2009.5230071]
- [64] Zhang H, Matsutani H, Koibuchi M, Amano H. Dynamic power consumption optimization for inductive-coupling based wireless 3D NoCs. *Trans. on System LSI Design Methodology*, 2014,7:27–36. [doi: 10.2197/ipsjtsldm.7.27]
- [65] Matsutani H, Koibuchi M, Fujiwara I, Kagami T, Take Y, Kuroda T, Bogdan P, Marculescu R, Amano H. Low-Latency wireless 3D NoCs via randomized shortcut chips. In: Proc. of the Design, Automation and Test in Europe. 2014. [doi: 10.7873/DATE.2014.286]
- [66] Take Y, Matsutani H, Sasaki D, Koibuchi M, Kuroda T, Amano H. 3D NoC with inductive-coupling links for building-block SiPs. *IEEE Trans. on Computers*, 2014,63(3):748–763. [doi: 10.1109/TC.2012.249]
- [67] Matsutani H, Bogdan P, Marculescu R, Take Y, Sasaki D, Zhang H, Koibuchi M, Kuroda T, Amano H. A case for wireless 3D NoCs for CMPs. In: Proc. of the Asia and South Pacific Design Automation Conf. (ASP-DAC). 2013. 23–28. [doi: 10.1109/ASPDAC.2013.6509553]
- [68] Zhang H, Matsutani H, Koibuchi M, Amano H. Dynamic power on/off method for 3D NoCs with wireless inductive-coupling links. In: Proc. of the IEEE Symp. on Low-Power and High-Speed Chips (COOL Chips XVI 2013). 2013. [doi: 10.1109/CoolChips.2013.6547924]
- [69] de Paulo V, Ababei C. 3D network-on-chip architectures using homogeneous meshes and heterogeneous floorplans. *Int'l Journal of Reconfigurable Computing*, 2010,(2010):1–12. [doi: 10.1155/2010/603059]
- [70] Jheng KY, Chao CH, Wang HY, Wu AY. Traffic-Thermal mutual-coupling co-simulation platform for three-dimensional network-on-chip. In: Proc. of the VLSI Design Automation and Test (VLSI-DAT). 2010. 135–138. [doi: 10.1109/VDAT.2010.5496709]
- [71] Jain L. NIRGAM: A simulator for NoC interconnect routing and application modeling. Version 1.1. 2007.
- [72] Hemayet H, Mostak A, Abdullah AN, Zerín IT, Mostofa AM. GPNOC SIM—A general purpose simulator for network-on-chip. In: Proc. of the Int'l Conf. on Information and Communication Technology. 2007. [doi: 10.1109/ICICT.2007.375388]
- [73] Pande PP, Grecu C, Jones M, Ivanov A, Saleh R. Performance evaluation and design trade-offs for network-on-chip interconnect architectures. *IEEE Trans. on Computers*, 2005,54(8):1025–1040. [doi: 10.1109/TC.2005.134]
- [74] Zheng F. Power consumption optimization and simulation of three-dimensional network on chip based on floorplanning [MS. Thesis]. Wuhan: Wuhan University of Technology, 2013 (in Chinese with English abstract).
- [75] Yin Z. Research on and implementation of test scheduling for 3D NoC. *Electronic Science and Technology*, 2014,27(10): 91–94 (in Chinese with English abstract).
- [76] Ouyang YM, Liu B, Qi Y. A method to optimize the test time on three-dimensional NoC. *Journal of Computer Research and Development*, 2010,47(9):332–336 (in Chinese with English abstract).

- [77] Stanley FB, Pratim PP. Networks-on-Chip in a three-dimensional environment: A performance evaluation. *IEEE Trans. on Computer*, 2009,58(1):32–45. [doi: 10.1109/TC.2008.142]
- [78] Kim J, Nicopoulos C, Park D, Das R, Xie Y, Narayanan V, Yousif MS, Das CR. A novel dimensionally-decomposed router for on-chip communication in 3D architectures. *ACM Sigarch Computer Architecture News*, 2007,35(2):138–149. [doi: 10.1145/1273440.1250680]
- [79] Agyeman MO, Ahmadinia A, Shahrabi A. Low power heterogeneous 3D networks-on-chip architectures. In: *Proc. of the 2011 Int'l Conf. on High Performance Computing and Simulation*. 2011. 533–538. [doi: 10.1109/HPCSim.2011.5999871]
- [80] Fantai Z, Ivanov A. 3D multi-processors system on chip design method and performance analysis. In: *Proc. of the 2nd IEEE Int'l Conf. on Computer Science and Information Technology (ICCSIT 2009)*. 2009. 196–199. [doi: 10.1109/ICCSIT.2009.5234385]
- [81] Park D, Eachempati S, Das R, Mishra AK, Xie Y, Vijaykrishnan N, Das CR. MIRA: A multi-layer on chip interconnect router architecture. In: *Proc. of the Annual Int'l Symp. on Computer Architecture (ISCA)*. 2008. 251–261. [doi: 10.1109/ISCA.2008.13]
- [82] Sun G, Lin SJ, Zhang YY, Su L, Jin DP, Zeng LG. Dual-Link interconnect architecture for 3-D mesh-based network on chip. *Journal of Tsinghua University (Science and Technology)*, 2012,52(5):632–635,641.
- [83] Xu Y, Du Y, Zhao B, Zhou XY, Zhang YT, Yang J. A low-radix and low-diameter 3D interconnection network design. In: *Proc. of the Int'l Conf. on High Performance Computer Architecture*. 2009. 30–42. [doi: 10.1109/HPCA.2009.4798234]
- [84] Rahmani AM, Liljeberg P, Plosila J, Tenhunen H. BBVC-3D-NoC: An efficient 3D NoC architecture using bidirectional bisynchronous vertical channels. In: *Proc. of the IEEE Annual Symp. on VLSI (ISVLSI 2010)*. 2010. 452–453. [doi: 10.1109/ISVLSI.2010.21]
- [85] Bahmani M, Shebanyrad A, Petrot F, Dubois F, Durante P. A 3D-NoC router implementation exploiting vertically-partially-connected topologies. In: *Proc. of the 2012 IEEE Computer Society Annual Symp. on VLSI (ISVLSI 2012)*. 2012. 9–14. [doi: 10.1109/ISVLSI.2012.19]
- [86] Marcon C, Fernandes R, Cataldo R. Tiny NoC: A 3D mesh topology with router channel optimization for area and latency minimization. In: *Proc. of the 27th Int'l Conf. on VLSI Design and the 13th Int'l Conf. on Embedded Systems*. 2014. 228–233. [doi: 10.1109/VLSID.2014.46]
- [87] Mu J. Torus Architecture research on 3D network-on-chip [MS. Thesis]. Shanghai: Shanghai Jiaotong University, 2011 (in Chinese with English abstract).
- [88] Duan W, Zhang X, Li M, Zhang C. A compressed 3D-torus architecture for scalable router. In: *Proc. of the 4th IEEE Int'l Conf. on Broadband Network and Multimedia Technology (IC-BNMT 2011)*. 2011. 23–28. [doi: 10.1109/ICBNMT.2011.6155888]
- [89] Wang JH, Gu HX, Yang YT. Cluster mesh: A topology for three-dimensional network-on-chip. *IEICE Electronics Express*, 2012, 9(15):254–1259. [doi: 10.1587/elex.9.1254]
- [90] Viswanathan N, Paramasivam K, Somasundaram K. Performance analysis of cluster based 3D routing algorithms for NoC. In: *Proc. of the 2011 IEEE Recent Advances in Intelligent Computational Systems (RAICS 2011)*. 2011. 157–162. [doi: 10.1109/RAICS.2011.6069293]
- [91] Kim HJ, Seo JT, Han TH. 3CEO: Three dimensional cmesh based electrical-optical router for networks-on-chip. In: *Proc. of the 2011 Int'l Conf. on ICT Convergence (ICTC 2011)*. 2011. 114–119. [doi: 10.1109/ICTC.2011.6082561]
- [92] Ebrahimi M, Daneshtalab M, Liljeberg P, Plosila J, Tenhunen H. Cluster-Based topologies for 3D networks-on-chip using advanced inter-layer bus architecture. *Journal of Computer & System Sciences*, 2013,79(4):475–491. [doi: 10.1016/j.jcss.2012.09.005]
- [93] Daneshtalab M, Ebrahimi M, Liljeberg P, Plosila J, Tenhunen H. CMIT—A novel cluster-based topology for 3D stacked architectures. In: *Proc. of the IEEE 3D System Integration Conf.* 2010. [doi: 10.1109/3DIC.2010.5751452]
- [94] Viswanathan N, Paramasivam K, Somasundaram K. An optimised 3D topology for on-chip communications. *Int'l Journal of Parallel, Emergent and Distributed Systems*, 2014,29(4):346–362. [doi: 10.1080/17445760.2013.866236]
- [95] Li M, Gu HX, Yang YT. A 3D topology based-on partial overlapped clusters for NoC. *IEICE Electronics Express*, 2014,11(19): 1–6. [doi: 10.1587/elex.11.20140790]
- [96] Sharifi A, Nadooshan RS, Azadl HS. The shuffle-exchange mesh topology for 3D NoCs. In: *Proc. of the Int'l Symp. on Parallel Architectures, Algorithms and Networks*. Sydney, 2008. [doi: 10.1109/I-SPAN.2008.23]
- [97] Chen YO, Hu JH, Ling X. Research on topologic architecture of three-dimensional network on chip. *Telecommunications Science*, 2009,25(4):39–44.

- [98] Chen YO, Hu JH, Ling X. 3D network on chip design based on De Bruijn graph architecture. *Dianzi Keji Daxue Xuebao/Journal of the University of Electronic Science and Technology of China*, 2011,40(2):204–209.
- [99] Chen Y, Hu JH, Ling X. Research on topologic architecture of three dimensional network on chip. *Telecommunications Science*, 2009,(4):39–44.
- [100] Chen Y, Hu JH, Ling X, Huang T. A novel 3D NoC architecture based on De Bruijn graph. *Computers & Electrical Engineering*, 2012,38(3):801–810. [doi: 10.1016/j.compeleceng.2011.11.016]
- [101] Hosseinabady M, Kakoe MR, Mathew J, Pradhan DK. Reliable network-on-chip based on generalized De Bruijn graph. In: *Proc. of the IEEE Int'l High Level Design Validation and Test Workshop*. 2007. [doi: 10.1109/HLDVT.2007.4392777]
- [102] He X, You ZQ, Kuang JS. Performance analysis of three dimensional hypercube network topology [MS. Thesis]. *China Science and Technology*, 2011.
- [103] Rahman MMH, Jiang X, Masud SA, Horiguchi S. Network performance of pruned hierarchical torus network. In: *Proc. of the 6th IFIP Int'l Conf. on Network and Parallel Computing*. 2009. 9–15. [doi: 10.1109/NPC.2009.11]
- [104] Ki1 WS, Lee HO, Oh JC. The new torus network design based on 3-dimensional hypercube. In: *Proc. of the ICACT 2009*. 2009. 615–620. http://xueshu.baidu.com/s?wd=paperuri%3A%287e8ce9de2a6c81246bf8b9f1002c3fc2%29&filter=sc_long_sign&tn=SE_xueshusource_2kduw22v&sc_vurl=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D4810028&ie=utf-8
- [105] Liu YY, Han JG. Topology and routing algorithms of hypercube connected double loop interconnect network. *Application Research of Computers*, 2009,26(3):997–1000 (in Chinese with English abstract).
- [106] Liu YY, Han JG. Double-Loop hypercube: A new scalable interconnection network for massively parallel computing. In: *Proc. of the ISECS Int'l Colloquium on Computing, Communication, Control and Management (CCCM 2008)*. 2008. 170–174. [doi: 10.1109/CCCM.2008.45]
- [107] Kini NG, Kumar MS, Mruthyunjaya HS. A torus embedded hypercube scalable interconnection network for parallel architecture. In: *Proc. of the 2009 IEEE Int'l Advance Computing Conf. (IACC)*. 2009. 858–861. [doi: 10.1109/IADCC.2009.4809127]
- [108] Rahman MMH, Horiguchi S. High performance hierarchical torus network under matrix transpose traffic patterns. In: *Proc. of the 7th Int'l Symp. on Parallel Architectures, Algorithms and Networks (ISPAN 2004)*. IEEE, 2004. [doi: 10.1109/ISPAN.2004.1300467]
- [109] Rahman MMH. Symmetric Tori connected Torus network. In: *Proc. of the 12th Int'l Conf. on Computer and Information Technology (ICCIT 2009)*. 2009. 174–179. [doi: 10.1109/ICCIT.2009.5407144]
- [110] Yin AW, Xu TC, Liljeberg P, Tenhunen H. Explorations of honeycomb topologies for network-on-chip. In: *Proc. of the Int'l Conf. on Network and Parallel Computing*. 2009. 73–79. [doi: 10.1109/NPC.2009.34]
- [111] Zhou L, Wu N, Ge F. 3-D spidergon: 3-D topology of delay optimization for networks-on-chip. *Trans. of Nanjing University of Aeronautics & Astronautics*, 2011,28(4):372–378.
- [112] Wang H, Wang CS. 3D octagon double ring topology for the network-on-chip. *China Integrated Circuit*, 2011,(3):27–30,65.
- [113] Matsutani H, Koibuchi M, Amano H. Tightly-Coupled multi-layer topologies for 3D NoCs. In: *Proc. of the Int'l Conf. on Parallel Processing*. Xi'an, 2007. [doi: 10.1109/ICPP.2007.79]
- [114] Seiculescu C, Murali S, Benini L, Micheli GD. SunFloor 3D: A tool for networks on chip topology synthesis for 3D systems on chips. In: *Proc. of the Design, Automation & Test in Europe Conf. & Exhibition*. 2009. 9–14. [doi: 10.1109/DATE.2009.5090625]
- [115] Weldezion AY, Lu Z, Weerasekera R, Tenhunen H. 3-D memory organization and performance analysis for multi-processor network-on-chip architecture. In: *Proc. of the 2009 IEEE Int'l Conf. on 3D System Integration (3DIC 2009)*. 2009. [doi: 10.1109/3DIC.2009.5306593]
- [116] Li F, Nicopoulos C, Richardson T, Xie Y, Narayanan V, Kandemir M. Design and management of 3D chip multiprocessors using network-in-memory. In: *Proc. of the 33rd Int'l Symp. on Computer Architecture (ISCA 2006)*. 2006. 130–141. [doi: 10.1109/ISCA.2006.18]
- [117] Jang WY, Pan DZ. Chemical-Mechanical polishing-aware application-specific 3D NoC design. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 2013,32(6):940–951. [doi: 10.1109/TCAD.2013.2237771]
- [118] Ge F, Wu N. Power-Aware topology generation based on clustering for application-specific network on chip. *Lecture Notes in Electrical Engineering*, 2013,170(1):135–149. [doi: 10.1007/978-94-007-4786-9_11]

- [119] Morris RW, Kodi AK, Louri A, Whaley RD. Three-Dimensional stacked nanophotonic network-on-chip architecture with minimal reconfiguration. *IEEE Trans. on Computers*, 2014,63(1):243–255. [doi: 10.1109/TC.2012.183]
- [120] Latif K, Rahmani AM, Nigussie E, Tenhunen H, Seceleanu T. A novel topology-independent router architecture to enhance reliability and performance of networks-on-chip. In: *Proc. of the 2011 IEEE Int'l Symp. on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT 2011)*. 2011. 454–462. [doi: 10.1109/DFT.2011.16]
- [121] Camacho J, Flich J. HPC-Mesh: A homogeneous parallel concentrated mesh for fault-tolerance and energy savings. In: *Proc. of the 7th ACM/IEEE Symp. on Architectures for Networking and Communications Systems*. 2011. 69–80. [doi: 10.1109/ANCS.2011.17]
- [122] Zheng YX, Kan PP, Chen LB, Hsieh KY, Cheng BC, Li KSM. Fault tolerant application-specific NoC topology synthesis for three-dimensional integrated circuits. In: *Proc. of the IEEE Int'l SOC Conf. (SOCC 2011)*. 2011. 296–301. [doi: 10.1109/SOCC.2011.6085088]
- [123] Hsieh KY, Cheng BC, Gu RT, Li KSM. Fault-Tolerant mesh for 3D network on chip. In: *Proc. of the Int'l Microsystems, Packing, Assembly and Circuits Technology Conf.* 2011. 202–205. [doi: 10.1109/IMPACT.2011.6117292]
- [124] Zia A, Kannan S, Rose G, Chao HJ. Highly-Scalable 3D Clos NoC for many-core CMPs. In: *Proc. of the 8th IEEE Int'l NEWCAS Conf. (NEWCAS 2010)*. 2010. 229–232. [doi: 10.1109/NEWCAS.2010.5603776]
- [125] Pasricha S. Exploring serial vertical interconnects for 3D ICs. In: *Proc. of the Design Automation Conf.* 2009. 581–586. http://xueshu.baidu.com/s?wd=paperuri%3A%287e8ce9de2a6c81246bf8b9f1002c3fc2%29&filter=sc_long_sign&tn=SE_xueshusource_2kduw22v&sc_vurl=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D4810028&ie=utf-8
- [126] Pei SW, Wang XY. Shuttle: A novel topology model for 3D NoC. *Journal of Convergence Information Technology*, 2012, 7(19):147–154. [doi: 10.4156/jcit.vol7.issue19.17]
- [127] Bose A, Ghosal P, Mohanty SP. A low latency scalable 3D NoC using BFT topology with table based uniform routing. In: *Proc. of the 2014 IEEE Computer Society Annual Symp. on VLSI*. 2014. 136–141. [doi: 10.1109/ISVLSI.2014.51]
- [128] Matos D, Reinbrecht C, Motta T, Susin A. A power-efficient hierarchical network-on-chip topology for stacked 3D ICs. In: *Proc. of the 2013 IFIP/IEEE 21st Int'l Conf. on Very Large Scale Integration (VLSI-SoC)*. 2013. 308–313. [doi: 10.1109/VLSI-SoC.2013.6673298]
- [129] Khan MA, Ansari AQ. Quadrant-Based XYZ dimension order routing algorithm for 3-D asymmetric torus network-on-chip. In: *Proc. of the Networks and Computer Communications (ETNCC)*. 2011. 121–124. [doi: 10.1109/ETNCC.2011.5958499]
- [130] Ahmed AB, Abdallah AB. Low-Overhead routing algorithm for 3D network-on-chip. In: *Proc. of the 3rd Int'l Conf. on Networking and Computing (ICNC 2012)*. 2012. 23–32. [doi: 10.1109/ICNC.2012.14]
- [131] Bala D, You C. Volumetric degenerative routing for 3D network-on-chip. In: *Proc. of the 2012 IEEE Int'l Conf. on Wireless Information Technology and Systems (ICWITS 2012)*. 2012. [doi: 10.1109/ICWITS.2012.6417807]
- [132] Sun G, Chang CW, Lin B, Zeng L. An oblivious routing algorithm for 3D mesh networks to achieve a new worst-case throughput bound. *IEEE Embedded Systems Letters*, 2012,4(4):98–101. [doi: 10.1109/LES.2012.2227138]
- [133] Ahmed M, Kumar R. Parameterized path-based, randomized, oblivious, minimal routing in 3D mesh NoC. In: *Proc. of the 10th IEEE Region Conf.* 2012. 1–6. [doi: 10.1109/TENCON.2012.6412341]
- [134] Feng CC, Zhang MX, Li JW, Jiang J, Lu ZH, Jantsch A. A low-overhead fault-aware deflection routing algorithm for 3D network-on-chip. In: *Proc. of the 2011 IEEE Computer Society Annual Symp. on VLSI (ISVLSI 2011)*. 2011. 19–24. [doi: 10.1109/ISVLSI.2011.42]
- [135] Pasricha S, Zou Y. A low overhead fault tolerant routing scheme for 3D networks-on-chip. In: *Proc. of the 12th Int'l Symp. on Quality Electronic Design (ISQED 2011)*. 2011. 1–8. [doi: 10.1109/ISQED.2011.5770726]
- [136] Akbari S, Shafiee A, Fathy M, Berangi R. AFRA: A low cost high performance reliable routing for 3D mesh NoCs. In: *Proc. of the Design, Automation and Test in Europe Conf. and Exhibition (DATE 2012)*. 2012. 332–337. [doi: 10.1109/DATE.2012.6176490]
- [137] Zhu MY, Lee JH, Choi KY. An adaptive routing algorithm for 3D mesh NoC with limited vertical bandwidth. In: *Proc. of the 20th IFIP/IEEE Int'l Conf. on Very Large Scale Integration (VLSI-SoC 2012)*. 2012. 18–23. [doi: 10.1109/VLSI-SoC.2012.7332070]
- [138] Qin YH, Li L. Research on 3D NoC power adaptive routing methodology [Ph.D. Thesis]. Nanjing: Nanjing University, 2012 (in Chinese with English abstract).
- [139] Lin SY, Yin TC, Wang HY, Wu AY. Traffic- and thermal-aware routing for throttled three-dimensional network-on-chip systems. In: *Proc. of the 2011 Int'l Symp. on VLSI Design, Automation and Test (VLSI-DAT 2011)*. 2011. 1–4. [doi: 10.1109/VDAT.2011.5783639]

- [140] Yu X, Li L, Zhang YA, Pan HB, Wang JW, Han P. A power-aware dead lock avoid three-dimensional full-adaptive routing algorithm for 3D NoC. *Tien Tzu Hsueh Pao/Acta Electronica Sinica*, 2013,41(2):329–334.
- [141] Rusu C, Anghel L, Avresky D. RILM: Reconfigurable inter-layer routing mechanism for 3D multi-layer networks-on-chip. In: *Proc. of the 16th IEEE Int'l On-Line Testing Symp. (IOLTS 2010)*. 2010. 121–126. [doi: 10.1109/IOLTS.2010.5560222]
- [142] Rusu C, Anghel L, Avresky D. Adaptive inter-layer message routing in 3D networks-on-chip. *Microprocessors and Microsystems*, 2011,35(7):613–631. [doi: 10.1016/j.micpro.2011.06.008]
- [143] Ying H, Jaiswal A, Hofmann K. Deadlock-Free routing algorithms for 3-dimension networks-on-chip with reduced vertical channel density topologies. In: *Proc. of the 2012 Int'l Conf. on High Performance Computing and Simulation (HPCS 2012)*. 2012. 268–274. [doi: 10.1109/HPCSim.2012.6266923]
- [144] Dubois F, Sheibanyrad A, Petrot F, Bahmani M. Elevator-First: A deadlock-free distributed routing algorithm for vertically partially connected 3D-NoCs. *IEEE Trans. on Computers*, 2013,62(3):609–615. [doi: 10.1109/TC.2011.239]
- [145] Wang K, Wang CS, Gu HX. Quality of service routing algorithm in the torus-based network on chip. In: *Proc. of the 8th IEEE Int'l Conf. on ASIC (ASICON 2009)*. 2009. 952–954. [doi: 10.1109/ASICON.2009.5351537]
- [146] Nakhjavani R, Shahabi A, Safari S, Navabi Z. A novel graceful degradable routing algorithm for 3D on-chip networks. In: *Proc. of the 2012 Interconnection Network Architecture: On-Chip, Multi-Chip Workshop (INA-OCMC 2012)*. 2012. 17–20. [doi: 10.1145/2107763.2107768]
- [147] Dahir N, Al-Dujaily R, Yakovlev A, Missailidis P, Mak T. Deadlock-Free and plane-balanced adaptive routing for 3D networks-on-chip. In: *Proc. of the 5th Int'l Workshop on Network on Chip Architectures (NoCArc 2012) and Conjunction with the 45th Annual IEEE/ACM Int'l Symp. on Microarchitecture (MICRO 2012)*. 2012. 31–36. [doi: 10.1145/2401716.2401724]
- [148] Ebrahimi M, Xin C, Daneshtalab M, Plosila J, Liljeberg P, Tenhunen H. DyXYZ: Fully adaptive routing algorithm for 3D NoCs. In: *Proc. of the 21st Euromicro Int'l Conf. on Parallel, Distributed, and Network-Based Processing*. 2013. 499–503. [doi: 10.1109/PDP.2013.80]
- [149] Lee JH, Lee DW, Kim SW, Choi K. Deflection routing in 3D network-on-chip with TSV serialization. In: *Proc. of the Asia and South Pacific Design Automation Conf. (ASP-DAC)*. 2013. 29–34. [doi: 10.1109/ASPDAC.2013.6509554]
- [150] Lee JH, Choi K. A deadlock-free routing algorithm requiring no virtual channel on 3D-NoCs with partial vertical connections. In: *Proc. of the 7th IEEE/ACM Int'l Symp. on Networks-on-Chip (NoCS 2013)*. 2013. [doi: 10.1109/NoCS.2013.6558407]
- [151] Chen KC, Lin SY, Hung HS, Wu AA. Topology-Aware adaptive routing for nonstationary irregular mesh in throttled 3D NoC systems. *IEEE Trans. on Parallel and Distributed Systems*, 2013,24(10):2109–2120. [doi: 10.1109/TPDS.2012.291]
- [152] Chen KC, Kuo CC, Hung HS, Wu AYA. Traffic- and thermal-aware adaptive beltway routing for three dimensional network-on-chip systems. In: *Proc. of the IEEE Int'l Symp. on Circuits and Systems*. 2013. 1660–1663. [doi: 10.1109/ISCAS.2013.6572182]
- [153] Ebrahimi M, Daneshtalab M, Plosila J. Fault-Tolerant routing algorithm for 3D NoC using Hamiltonian path strategy. In: *Proc. of the Design, Automation and Test in Europe (DATE)*. 2013. 1601–1604. [doi: 10.7873/DATE.2013.325]
- [154] Jiang X, Watanabe T. A novel fully adaptive fault-tolerant routing algorithm for 3D network-on-chip. In: *Proc. of the 10th IEEE Region Conf*. 2013. 1–4. [doi: 10.1109/TENCON.2013.6718932]
- [155] Ying HY, Hofmann K, Hollstein T. Dynamic quadrant partitioning adaptive routing algorithm for irregular reduced vertical link density topology 3-dimensional network-on-chips. In: *Proc. of the 2014 Int'l Conf. on High Performance Computing and Simulation*. 2014. 516–522. [doi: 10.1109/HPCSim.2014.6903729]
- [156] Chang WC, Tseng HW, Kuo CF. A traffic-balanced routing scheme for heat balance in 3D networks-on-chip. In: *Proc. of the ACM Symp. on Applied Computing*. 2014. 1437–1442. [doi: 10.1145/2554850.2554961]
- [157] Kumar M, Laxmi V, Gaur M, Daneshtalab M, Ko SB, Zwolinski M. Highly adaptive and congestion-aware routing for 3D NoCs. In: *Proc. of the ACM Great Lakes Symp. on VLSI (GLSVLSI)*. 2014. 97–98. [doi: 10.1145/2591513.2591581]
- [158] Meena NK, Kapoor HK, Chakraborty S. A new recursive partitioning multicast routing algorithm for 3D network-on-chip. In: *Proc. of the 18th Int'l Symp. on VLSI Design and Test*. 2014. [doi: 10.1109/ISV DAT.2014.6881040]
- [159] Somasundaram K, Plosila J, Viswanathan N. Deadlock free routing algorithm for minimizing congestion in a Hamiltonian connected recursive 3D-NoCs. *Microelectronics Journal*, 2014,45(8):989–1000. [doi: 10.1016/j.mejo.2014.05.003]
- [160] Tsai WC, Weng YY, Wei CJ, Chen SJ, Hu YH. 3D bidirectional-channel routing algorithm for network-based many-core embedded systems. *Lecture Notes in Electrical Engineering*, 2014,260:301–309. [doi: 10.1007/978-94-007-7262-5_35]

- [161] Ouyang YM, Han QQ, Liang HG, Huang ZF, Wang XM. A distributed routing algorithm for reliable communication in vertically partially connected 3D NoC. *Jisuanji Fuzhu Sheji Yu Tuxingxue Xuebao/Journal of Computer-Aided Design and Computer Graphics*, 2014,26(3):502–510 (in Chinese with English abstract).
- [162] Ahmed AB, Abdallah AB. Graceful deadlock-free fault-tolerant routing algorithm for 3D network-on-chip architectures. *Journal of Parallel & Distributed Computing*, 2014,74(4):2229–2240. [doi: 10.1016/j.jpdc.2014.01.002]
- [163] Hu ZK, Chen J. A hybrid multicast routing algorithm based on hierarchical NoCs. *Journal of Harbin Engineering University*, 2013,34(10):1327–1333 (in Chinese with English abstract).
- [164] Zhang YY, Hu JH. A DFTR router architecture for 3D network on chip. In: *Proc. of the 3rd IEEE Int'l Conf. on Computer Science and Information Technology (ICCSIT 2010)*. 2010. 337–342. [doi: 10.1109/ICCSIT.2010.5563572]
- [165] Chen KC, Chao CH, Lin SY, Hung HS, Wu AY. Transport-Layer assisted vertical traffic balanced routing for thermal-aware three-dimensional network-on-chip systems. In: *Proc. of the 2012 Int'l Symp. on VLSI Design, Automation and Test (VLSI-DAT 2012)*. 2012. 1–4. [doi: 10.1109/VLSI-DAT.2012.6212626]
- [166] Salas M, Pasricha S. The roce-bush router: A case for routing-centric dimensional decomposition for low-latency 3D NoC routers. In: *Proc. of the 10th ACM Int'l Conf. on Hardware/Software-Codesign and System Synthesis, Co-located with ESWEEK (CODES+ ISSS 2012)*. 2012. 171–180. [doi: 10.1145/2380445.2380476]
- [167] Al-Dujaily R, Dahir N, Mak T, Xia F, Yakovlev A. Dynamic programming-based runtime thermal management (DPRTM): An online thermal control strategy for 3D-NoC systems. *ACM Trans. on Design Automation of Electronic Systems*, 2013,19(1): 992–999. [doi: 10.1145/2534382]
- [168] Ghidini Y, Webber T, Moreno E, Quadros I, Fagundes R, Marcon C. Topological impact on latency and throughput: 2D versus 3D NoC comparison. In: *Proc. of the 25th Symp. on Integrated Circuits and Systems Design (SBCCI 2012)*. 2012. [doi: 10.1109/SBCCI.2012.6344439]
- [169] Moosavi SR, Rahmani AM, Liljeberg P, Plosila J, Tenhunen H. Enhancing performance of 3D interconnection networks using efficient multicast communication protocol. In: *Proc. of the 21st Euromicro Int'l Conf. on Parallel, Distributed, and Network-Based Processing*. 2013. 294–301. [doi: 10.1109/PDP.2013.50]
- [170] Pasca V, Rehman SU, Anghel L, Benabdenbi M. Efficient link-level error resilience in 3D NoCs. In: *Proc. of the 15th IEEE Int'l Symp. on Design and Diagnostics of Electronic Circuits and Systems*. 2012. 127–132. [doi: 10.1109/DDECS.2012.6219038]
- [171] Zjajo A, van de Meerendonk N, Van Leuken R. Dynamic thermal estimation methodology for high-performance 3-D MPSoC. *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, 2014,22(9):1920–1933. [doi: 10.1109/TVLSI.2013.2280667]
- [172] Zhang Y, Li L, Lu ZH, Jantsch A, Fu YX, Gao ML. Performance and network power evaluation of tightly mixed SRAM NUCA for 3D multi-core network on chips. In: *Proc. of the IEEE Int'l Symp. on Circuits and Systems*. 2014. 1961–1964. [doi: 10.1109/ISCAS.2014.6865546]
- [173] Mu J, Fu ZY, Liu T. Performance evaluation for the 3D architectures in network on chip. *Information Technology*, 2010,(5):70–73 (in Chinese with English abstract).
- [174] He X, You ZQ, Kuang JS. Performance analysis for 3D hypercube network on chip. 2011 (in Chinese with English abstract). <http://www.paper.edu.cn/releasepaper/content/201112-185>
- [175] Yu X, Li L, Zhang Y, Pan HB. Performance and power consumption analysis of memory efficient 3D network-on-chip architecture. In: *Proc. of the IEEE Int'l Conf. on Control and Automation (ICCA)*. 2013. 340–344. [doi: 10.1109/ICCA.2013.6565107]
- [176] Morris R, Kodi A, Louri A. Evaluating the scalability and performance of 3D stacked reconfigurable nanophotonic interconnects. In: *Proc. of the Int'l Workshop on System Level Interconnect Prediction*. 2013. [doi: 10.1109/SLIP.2013.6681676]
- [177] Qian Y. Calculus models and performance analysis for networks-on-chip [Ph.D. Thesis]. Changsha: Science and Technology University, 2010 (in Chinese with English abstract).
- [178] Zhang YY, Lin SJ, Su L, Jin DP, Zeng LG. Performance evaluation of turus and mesh in 3D network-on-chip. *Journal of Tsinghua University (Science and Technology)*, 2011,51(12):1777–1781 (in Chinese with English abstract).
- [179] He X. The implementation and performance analysis of hypercube in three dimensions network on chip [MS. Thesis]. Changsha: Hu'nan University, 2012 (in Chinese with English abstract).
- [180] Jiang P. TSV power model and 3D NoC power consumption analysis [MS. Thesis]. Xi'an: Xidian University, 2012 (in Chinese with English abstract).

- [181] Ye TT, Benini L, De Micheli G. Packetized on-chip interconnect communication analysis for MPSoC. In: Proc. of the Design, Automation and Test in Europe Conf. and Exhibition. 2003. 344–349. [doi: 10.1109/DATE.2003.1253632]
- [182] Easley N, Peh LS. High level power analysis for on-chip networks. In: Proc. of the 2004 Int'l Conf. on Compilers, Architecture and Synthesis for Embedded Systems. ACM Press, 2004. [doi: 10.1145/1023833.1023849]
- [183] Huang G. The research and application of power model for interconnection network in MPSoC [MS. Thesis]. Xi'an: Xidian University, 2011 (in Chinese with English abstract).
- [184] Liu Q, Li DS. Communication energy-aware research of star cluster NoC. Application Research of Computers, 2012,29(6): 2176–2179 (in Chinese with English abstract).
- [185] Ge F, Feng G, Yu S, Wu N. Power- and thermal-aware mapping for 3D network-on-chip. Information Technology Journal, 2013, 12(23):7297–7304. [doi: 10.3923/itj.2013.7297.7304]
- [186] Elmiligi H, El-Kharashi MW, Gebali F. Power consumption of 3D networks-on-chips: Modeling and optimization. Microprocessors and Microsystems, 2013,37(6-7):530–543. [doi: 10.1016/j.micpro.2013.07.002]
- [187] Addo-Quaye C. Thermal-Aware mapping and placement for 3-D NoC designs. In: Proc. of the IEEE Int'l SOC Conf. 2005. 25–28. [doi: 10.1109/SOCC.2005.1554447]
- [188] Wang JW. Research of key issue on three dimensional network on chip [Ph.D. Thesis]. Nanjing: Nanjing University, 2012 (in Chinese with English abstract).
- [189] Wang JW, Li L, Wang ZF, Zhang R, Zhang Y. Energy-Efficient mapping for 3D NoC using logistic function based adaptive genetic algorithms. Chinese Journal of Electronics, 2014,23(2):254–262.
- [190] Ying HY, Heid K, Hollstein T, Hofmann K. A genetic algorithm based optimization method for low vertical link density 3-dimensional networks-on-chip many core systems. In: Proc. of the NORCHIP 2012. 2012. [doi: 10.1109/NORCHIP.2012.6403131]
- [191] Zhang BX, Gu HX, Yang YT, Wang K, Wang ZY. Thermal and competition aware mapping for 3D network-on-chip. IEICE Electronics Express, 2012,9(19):1510–1515. [doi: 10.1587/elex.9.1510]
- [192] Feng G, Ge F, Yu S, Wu N. A Thermal-aware mapping algorithm for 3D mesh network-on-chip architecture. In: Proc. of the 10th IEEE Int'l Conf. on ASIC. 2013. [doi: 10.1109/ASICON.2013.6811834]
- [193] Ge F, Feng G, Yu S, Wu N. Power- and thermal-aware mapping for 3D network-on-chip. Information Technology Journal, 2013, 12(23):7297–7304. [doi: 10.3923/itj.2013.7297.7304]
- [194] Zhang Z. Research of mapping methods for 3D-MESH-oriented CMP networks on chip [MS. Thesis]. Guangzhou: Guangdong University of Technology, 2012 (in Chinese with English abstract).
- [195] Zhang W, Zhang Z, Liu YJ. Improved particle swarm optimization algorithm based mapping algorithm for 3D-mesh CMP. Application Research of Computers, 2013,30(5):1345–1348 (in Chinese with English abstract).
- [196] Sahu PK, Shah T, Manna K, Chattopadhyay S. Application mapping onto mesh-based network-on-chip using discrete particle swarm optimization. IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 2014,22(2):300–312. [doi: 10.1109/TVLSI.2013.2240708]
- [197] Bhardwaj K, Mane PS. C3Map and ARPSO based mapping algorithms for energy-efficient regular 3-D NoC architectures. In: Proc. of the Technical Papers of 2014 Int'l Symp. on VLSI Design, Automation and Test. 2014. [doi: 10.1109/VLSI-DAT.2014.6834909]
- [198] Riget J, Vesterstrom J. A diversity-guided particle swarm optimizer the ARPSO. Technical Report, Aarhus: Department of Computer Science, University of Aarhus, 2002.
- [199] Ding H, Gu HX, Yang YT, Fan DR. 3D networks-on-chip mapping targeting minimum signal TSVs. IEICE Electronics Express, 2013,10(18):1–6.
- [200] Kapadia N, Pasricha S. PRATHAM: A power delivery-aware and thermal-aware mapping framework for parallel embedded applications on 3D MPSoCs. In: Proc. of the 32nd IEEE Int'l Conf. on Computer Design (ICCD 2014). 2014. 525–528. [doi: 10.1109/ICCD.2014.6974733]
- [201] Wang JW, Li L, Yi W, Pan HB, Zhang YH, Hou N, Zhang R. A dynamic ant colony optimization algorithm for 3D NoC mapping. Journal of Computer-Aided Design & Computer Graphics, 2011,23(9):1614–1620 (in Chinese with English abstract).
- [202] Li DS, Liu Q. Research on mapping 3D network on chip for communication energy-aware. Semiconductor Technology, 2012,37(7): 504–507 (in Chinese with English abstract).

- [203] Liu YH. Research on key technologies of mapping and router in network-on-chip [Ph.D. Thesis]. Shanghai: East China Normal University, 2013 (in Chinese with English abstract).
- [204] Liu YH, Ruan Y, Lai ZS. New heuristic algorithms for low-energy mapping and routing in 3D NoC. *Int'l Journal of Computer Applications in Technology*, 2013,47(1):1–13. [doi: 10.1504/IJCAT.2013.054297]
- [205] Arjomand M, Sarbazi-Azad H. Voltage-Frequency planning for thermal-aware, low-power design of regular 3-D NoCs. In: *Proc. of the 23rd Int'l Conf. on VLSI Design*. 2010. 57–62. [doi: 10.1109/VLSI.Design.2010.56]
- [206] Siozios K, Anagnostopoulos I, Soudris D. Multiple VDD on 3D NoC architectures. In: *Proc. of the Electronics, Circuits, and Systems (ICECS)*. 2010. 831–834. [doi: 10.1109/ICECS.2010.5724641]
- [207] Siozios K, Anagnostopoulos I, Soudris D. A high-level mapping algorithm targeting 3D NoC architectures with multiple VDD. In: *Proc. of the 2010 IEEE Annual Symp. on VLSI*. 2010. 444–445. [doi: 10.1109/ISVLSI.2010.98]
- [208] Wang XH, Palesi M, Yang M, Jiang YT, Huang MC, Liu P. Power-Aware run-time incremental mapping for 3-D networks-on-chip. In: *Proc. of the IFIP Int'l Federation for Information Processing 2011*. 2011. 232–247. [doi: 10.1007/978-3-642-24403-2_19]
- [209] Hamedani PK, Hessabi S, Sarbazi-Azad H, Jerger NE. Exploration of temperature constraints for thermal aware mapping of 3D networks on chip. In: *Proc. of the 20th Euromicro Int'l Conf. on Parallel*. 2012. 499–506. [doi: 10.1109/PDP.2012.68]
- [210] Eskandari A, Khademzadeh A, Bagherzadeh N, Janidarmian M. Quality of service optimization for network-on-chip using bandwidth- constraint mapping algorithm. In: *Proc. of the 21st Euromicro Int'l Conf. on Parallel*. 2013. 504–508. [doi: 10.1109/PDP.2013.81]
- [211] Sepúlveda J, Gogniat G, Pires R, Wang C, Strum M. An evolutive approach for designing thermal and performance-aware heterogeneous 3D-NoCs. In: *Proc. of the 26th Symp. on Integrated Circuits and Systems Design*. 2013. 6. [doi: 10.1109/SBCCL.2013.6644850]
- [212] Johanna S, Gogniat G, Sepúlveda DM, Pires R, Chau WJ, Strum M. 3DMIA: A multi-objective artificial immune algorithm for 3D-MPSoC multi-application 3D-NoC mapping. In: *Proc. of the 2013 Genetic and Evolutionary Computation Conf.* New York: ACM, 2013. 167–168. [doi: 10.1145/2464576.2464659]
- [213] Agyeman MO, Ahmadinia A. Optimised application specific architecture generation and mapping approach for heterogeneous 3D networks-on-chip. In: *Proc. of the 16th IEEE Int'l Conf. on Computational Science and Engineering*. 2013. 794–801. [doi: 10.1109/CSE.2013.121]
- [214] Akturk I, Ozturk O. ILP-Based communication reduction for heterogeneous 3D network-on-chips. In: *Proc. of the 21st Euromicro Int'l Conf. on Parallel, Distributed and Network-Based Processing*. 2013. 514–518. [doi: 10.1109/PDP.2013.83]
- [215] Millberg M, Nilsson E, Thid R, Kumar S, Jantsch A. The Nostrum backbone—A communication protocol stack for networks on chip. In: *Proc. of the VLSI Design Conf. Mumbai*. 2004. 693–696. [doi: 10.1109/ICVD.2004.1261005]
- [216] Millberg M, Jantsch A, Lu Z, Thid R, Nilsson E. NNSE: Nostrum network-on-chip simulation environment. In: *Proc. of the Swedish System-on-Chip Conf. (SSoCC 2003)*. 2005. 1–4.
- [217] Bjureus P, Millberg M, Jantsch A. FPGA resource and timing estimation from Matlab execution traces. In: *Proc. of the 10th Int'l Symp. on Hardware/Software Codesign*. 2002. 31–36.
- [218] Xu CP, Yao YX. Optimized test ports selecting method on 3D-NoC. *Application Research of Computers*, 2015,32(3):1–5 (in Chinese with English abstract).
- [219] Xu X. Research on routing algorithm and mapping algorithm in network on chip [MS. Thesis]. Xi'an: Xidian University, 2010 (in Chinese with English abstract).
- [220] Dong SZ. The design and research of routing algorithm and simulation model on network on chips [MS. Thesis]. Hefei: Hefei University of Technology, 2009 (in Chinese with English abstract).
- [221] Yang YZ. Research of the fault-tolerant methods on TSVs and buffers of three-dimensional network-on-chip [MS. Thesis]. Hefei: Hefei University of Technology, 2013 (in Chinese with English abstract).
- [222] Lee YS, Hsin HK, Chen KC, Chang EJ, Wu AYA. Thermal-Aware dynamic buffer allocation for proactive routing algorithm on 3D network-on-chip systems. In: *Proc. of the Technical Papers of 2014 Int'l Symp. on VLSI Design, Automation and Test*. 2014. [doi: 10.1109/VLSI-DAT.2014.6834908]
- [223] Ramani S, Sundararajan J. A case study on NoC router architecture for optimizing the latency. In: *Proc. of the Int'l Conf. on Advanced Computing and Communication Systems (ICACCS)*. 2013. 1–4. [doi: 10.1109/ICACCS.2013.6938703]

- [224] Wang F. Research on QoS assurance mechanism based on 3D-mesh [MS. Thesis]. Chengdu: University of Electronic Science and Technology of China, 2012 (in Chinese with English abstract).
- [225] Goossens K, Dielissen J, Radulescu A. Ethernet network on chip: Concepts, architectures and implementations. In: Proc. of the IEEE Design & Test of Computers. 2005. 414–421. [doi: 10.1109/MDT.2005.99]
- [226] Chiu GM. The ODD-even turn model for adaptive routing. IEEE Trans. on Parallel and Distributed Systems, 2000,11(7):729–738. [doi: 10.1109/71.877831]
- [227] Bolotin E, Cidon I, Ran G, Kolodny A. QNoC: QoS architecture and design process for network on chip. Journal of Systems Architecture, 2004,50(2-3):105–128. [doi: 10.1016/j.sysarc.2003.07.004]
- [228] Priyadarshi S, Hu JC, Choi WH, Melamed S, Chen X, Davis WR. Pathfinder 3D: A flow for system-level design space exploration. In: Proc. of the 2011 IEEE Int'l 3D Systems Integration Conf. 2011. 1–8. [doi: 10.1109/3DIC.2011.6262961]
- [229] Wang JW, Li L, Pan HB, Li W, Zhang R. 3D NoC based on statistical time division multiplex. Journal of Electronics & Information Technology, 2012,10(34):2501–2507 (in Chinese with English abstract).
- [230] Kuroda T. ThruChip interface (TCI) for 3D networks on chip. In: Proc. of the 19th IEEE/IFIP Int'l Conf. on VLSI and System-on-Chip. 2011. 238–241. [doi: 10.1109/VLSISoC.2011.6081644]
- [231] Loi I, Benini L. An efficient distributed memory interface for many-core platform with 3D stacked DRAM. In: Proc. of the Design, Automation and Test in Europe. 2010. 99–104. [doi: 10.1109/DATE.2010.5457230]
- [232] Chen KC, Li HT, Wu AY. LMS-Based adaptive temperature prediction scheme for proactive thermal-aware three-dimensional network-on-chip systems. In: Proc. of the Technical Papers of 2014 Int'l Symp. on VLSI Design, Automation and Test. 2014. [doi: 10.1109/VLSI-DAT.2014.6834910]
- [233] Wang Y. Research on three dimensional memory architecture in multi-core processors [MS. Thesis]. Changsha: National University of Defense Technology, 2011 (in Chinese with English abstract).
- [234] Ebrahimi M, Daneshalab M, Liljeberg P, Plosila J, Flich J, Tenhunen H. Path-Based partitioning methods for 3D networks-on-chip with minimal adaptive routing. IEEE Trans. on Computers, 2014,63(3):718–733. [doi: 10.1109/TC.2012.255]

附中文参考文献:

- [2] 梁春东. 硬件架构对片上网络性能影响及优化策略研究[硕士学位论文]. 西安: 西安电子科技大学, 2011.
- [4] 鲍培蕾. 面向千核片上网络拓扑结构和路由器的研究[硕士学位论文]. 西安: 西安电子科技大学, 2014.
- [5] 丁慧. 片上网络多播映射研究[硕士学位论文]. 西安: 西安电子科技大学, 2014.
- [7] 王昌鹏. 基于 TSV 的 NoC 高性能互连结构设计[硕士学位论文]. 西安: 西安电子科技大学, 2014.
- [13] 封国强, 蔡坚, 王水弟. 硅穿孔互连技术的开发与应用. 电子与封装, 2006, 6(11): 15–18.
- [18] 谢门旺, 张多利, 李垚. 基于 SystemC 的三维片上网络仿真器设计. 电子测量技术, 2012, 35(6): 98–101.
- [21] 陈亦欧, 胡剑浩, 凌翔. 三维片上网络拓扑研究. 电信科学, 2009, 25(4): 39–44.
- [22] 陈亦欧, 胡剑浩, 凌翔. 建立在 De Bruijn 图架构上的三维片上网络设计. 电子科技大学学报(自然科学版), 2011, 40(2): 204–209.
- [24] 刘有耀, 韩俊刚. 片上网络拓扑结构与通信方法研究[硕士学位论文]. 西安: 西安电子科技大学, 2009.
- [25] 钱悦, 鲁中海, 窦强, 窦文华. 片上网络二维和三维结构的通信性能分析. 计算机工程与科学, 2011, 33(3): 34–40.
- [26] 范敬雯, 姚放吾. 三维片上网络的研究[硕士学位论文]. 南京: 南京邮电大学, 2011.
- [27] 汪涵, 付宇卓. 3D-NoC 全系统仿真器搭建和基于任务调度的温度管理研究[硕士学位论文]. 上海: 上海交通大学, 2011.
- [28] 穆静, 付宇卓. Torus 拓扑结构的三维片上网络研究[硕士学位论文]. 上海: 上海交通大学, 2010.
- [29] 王莲莲, 张大坤, 宋国治. 三维片上网络路由算法的研究. 小型微型计算机系统, 2014, 35(8): 1816–1821.
- [30] 张大坤, 宋国治, 王莲莲, 黄翠. 三维片上网络拓扑结构研究综述. 计算机科学与探索, 2015, 9(2): 129–164.
- [32] 欧阳一鸣. 片上网络测试关键问题研究[博士学位论文]. 合肥: 合肥工业大学, 2013.
- [33] 欧阳一鸣, 王宇, 梁华国, 黄正峰. 簇式三维片上网络通信压力弱化策略. 电子测量与仪器学报, 2013, 27(5): 421–428.
- [34] 欧阳一鸣, 杨懿泽, 梁华国, 黄正峰. 三维片上网络 TSV 复用容错策略. 电子测量与仪器学报, 2013, 27(3): 229–235.
- [35] 欧阳一鸣, 张一栋, 梁华国, 黄正峰. 三维片上网络故障及拥塞感知的容错路由器设计. 电子学报, 2013, 41(5): 912–917.
- [36] 欧阳一鸣, 何敏, 梁华国, 刘军, 高妍妍. 3D NoC 中柔性可配置的高可靠路由器设计. 电子测量与仪器学报, 2014, 28(3): 306–313.
- [37] 欧阳一鸣, 张一栋, 梁华国, 黄正峰, 常郝. 基于虚通道故障粒度划分的 3D NoC 容错路由器设计. 计算机研究与发展, 2014, 51(9): 1993–2002.

- [38] 欧阳一鸣,韩倩倩,梁华国,黄正峰,汪秀敏.面向非全互连 3D NoC 可靠通信的分布式路由算法.计算机辅助设计与图形学学报,2014,26(3): 502-510.
- [74] 郑飞.基于布图规划的三维片上网络功耗优化与仿真[硕士学位论文].武汉:武汉理工大学,2013.
- [75] 尹芝.3D NoC 测试规划研究与实现.电子科技,2014,27(10):91-94.
- [76] 欧阳一鸣,刘蓓,齐芸.三维片上网络测试的时间优化方法.计算机研究与发展,2010,47(9):332-336.
- [87] 穆静.Torus 拓扑结构的三维片上网络研究[硕士学位论文].上海:上海交通大学,2011.
- [105] 刘有耀,韩俊刚.超立方体双环互连网络及路由算法.计算机应用研究,2009,26(3):997-1000.
- [138] 秦云海,李丽.面向功耗的 3DNoC 路由算法研究[博士学位论文].南京:南京大学,2012.
- [161] 欧阳一鸣,韩倩倩,梁华国,黄正峰,汪秀敏.面向非全互连 3DNoC 可靠通信的分布式路由算法.计算机辅助设计与图形学学报,2014,26(3):502-510.
- [163] 胡哲琨,陈杰.基于层次化片上网络的混合多播路由算法.哈尔滨工程大学学报,2013,34(10):1327-1333.
- [173] 穆静,付卓宇,刘婷.片上网络中 3D 拓扑结构的性能评估.信息技术,2010,(5):70-73.
- [174] 贺旭,尤志强,邝继顺.三维超立方体片上网络拓扑结构性能分析.2011.中国科技论文在线. <http://www.paper.edu.cn/releasepaper/content/201112-185>
- [177] 钱悦.片上网络演算模型及性能分析[博士学位论文].长沙:国防科学技术大学,2010.
- [178] 张媛媛,林世俊,苏厉,金德鹏,曾烈光.三维片上网络中 torus 与 mesh 拓扑结构的性能评估.清华大学学报,2011,51(12): 1777-1781.
- [179] 贺旭.超立方体结构在三维片上网络中的实现与性能分析[硕士学位论文].长沙:湖南大学,2012.
- [180] 江鹏.TSV 功耗建模与 3D NoC 功耗分析[硕士学位论文].西安:西安电子科技大学,2012.
- [183] 黄岗.MPSoC 互连网络功耗模型及其应用[硕士学位论文].西安:西安电子科技大学,2011.
- [184] 刘琪,李东生.片上网络的星型簇结构通信能耗研究.计算机应用研究,2012,29(6):2176-2179.
- [188] 王佳文.3D NoC 关键技术研究[博士学位论文].南京:南京大学,2012.
- [194] 张振.基于 3D-MESH 的 CMP 片上网络映射方法研究[硕士学位论文].广州:广东工业大学,2012.
- [195] 杨微,张振,刘怡俊.基于改进粒子群的 3D-Mesh CMP 片上网络映射算法.计算机应用研究,2013,30(5):1345-1348.
- [201] 王佳文,李丽,易伟,潘红兵,张宇昂,侯宁,张荣.3D NoC 映射问题的动态蚁群算法.计算机辅助设计与图形学学报,2011,23(9): 1614-1620.
- [202] 李东生,刘琪.面向通信能耗的 3D NoC 映射研究.半导体技术,2012,37(7):504-507.
- [203] 刘炎华.片上网络映射及路由器关键技术研究[博士学位论文].上海:华东师范大学,2013.
- [218] 许川佩,姚永兴.3D-NoC 的测试端口选择优化.计算机应用研究,2015,32(3):1-5.
- [219] 徐欣.片上网络路由算法和映射算法研究[硕士学位论文].西安:西安电子科技大学,2010.
- [220] 董少周.NoC 路由算法及仿真模型的设计与研究[硕士学位论文].合肥:合肥工业大学,2009.
- [221] 杨懿泽.三维片上网络 TSV 与缓冲区容错技术研究[硕士学位论文].合肥:合肥工业大学,2013.
- [224] 汪凡.面向 3D-Mesh 片上网络服务质量保证机制研究[硕士学位论文].成都:电子科技大学,2012.
- [229] 王佳文,李丽,潘红兵,李伟,张荣.基于统计时分复用技术的三维片上网络.电子与信息学报,2012,10(34):2501-2507.
- [233] 王玉.多核处理器下三维片上存储结构研究[硕士学位论文].长沙:国防科学技术大学,2011.



张大坤(1960—),女,辽宁阜新,博士,教授,主要研究领域为三维片上网络,组合算法设计,虚拟现实与大数据可视分析.



宋国治(1977—),男,博士,副教授,CCF 会员,主要研究领域为三维片上网络,异构无线网络融合,无线传感器网络.



黄翠(1991—),女,硕士生,主要研究领域为三维片上网络.