性能驱动总体布线的关键技术及研究进展*

经 彤，洪先龙，蔡懿慈，鲍海云，许静宇

(清华大学 计算机科学与技术系,北京 100084)

E-mail: {jingtong,hongxl}@tiger.cs.tsinghua.edu.cn

http://www.tsinghua.edu.cn

摘要：在计算机软件领域,超大规模集成电路技术的迅猛发展迫切需要高性能CAD工具——电子设计自动化(EDA)软件工具的支持.与物理设计相关的CAD技术称为布图设计,总体布线是布图设计中一个极为重要的环节.目前,在深亚微米、超深亚微米工艺下的超大规模、甚大规模集成电路设计中,性能驱动总体布线算法已成为布图设计中的一个国际研究热点.针对这一热点,分析了性能驱动总体布线算法研究中亟待解决的关键技术,并详细阐述了国内外的重要相关研究工作进展情况.

关键词：总体布线;甚大规模集成电路;超深亚微米工艺;时延;串扰.

中图法分类号：TP391 **文献标识码**：A

1 性能驱动总体布线

超大规模集成电路(VLSI)的设计一般由8个部分组成:系统规范说明(system specification)、功能设计(function design)、逻辑设计(logical design)、电路设计(circuit design)、物理设计(physical design)、设计验证(design verification)、制造(fabrication)以及封装与测试(package and test).物理设计是其中将逻辑电路转化为物理电路的重要步骤,是VLSI设计过程中重要的一环,也是其中最费时的一步.与物理设计相关的计算机辅助设计技术称为布图设计(layout design).随着VLSI规模和工艺的不断发展,其电路复杂性迅速增长,布图设计所要解决的问题也越来越复杂.因此,一般采用分级设计的布图办法,通过布图规划与布局、总体布线、详细布线3步,在合理的时间内取得令人满意的结果.

总体布线是布图设计中一个极为重要的环节,文献[1]详细论述了总体布线的基本理论与算法.总体布线的目的是根据一定的布线目标,对所有线网进行一次宏观分析和布线区域分配,为详细布线提供全局性的指导,以引导详细布线顺利进行.总体布线与详细布线的主要区别在于总体布线只是把线网分配在合适的布线区域内,以确保得到尽可能高的布通率,而不关心走线的具体位置;详细布线则是最终确定连线的具体位置.所以,总体布线有时又称为概略布线(loose routing).在布局完成之后、进行总体布线之前,根据电路的几何特征和电路结构,用网格将整个芯片按行和列划分为若干个称为总体布线单元(global routing cell,简称GRC)的区域,然后由总体布线器为

* 收稿日期：2000-09-01；修改日期：2001-02-21

基金项目：中国博士后科学基金资助项目([2000]23)；国家重点基础研究发展规划973资助项目(G1998030411)；国家自然科学基金资助项目(69776027)

作者简介：经彤(1966—),男,北京人,博士,副教授,主要研究领域为超大规模集成电路自动布线算法；洪先龙(1940—),男,浙江临海人,教授,博士生导师,主要研究领域为设计自动化；蔡懿慈(1960—),女,天津人,副教授,主要研究领域为超大规模集成电路计算机辅助设计；鲍海云(1972—),男,上海人,博士,主要研究领域为超大规模集成电路自动布线算法；许静宇(1976—),女,甘肃民勤人,博士生,主要研究领域为超大规模集成电路自动布线算法.

© 中国科学院软件研究所 http://www.jos.org.cn

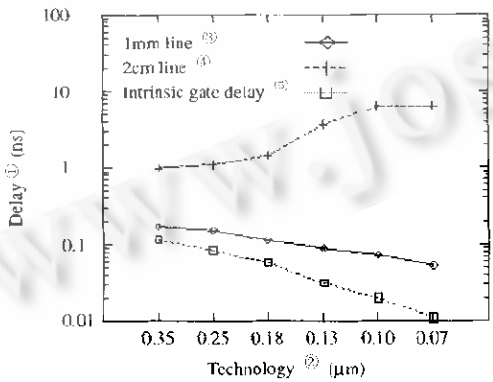
每个线网指定通过哪些 GRC 进行连接.由网格线及其交点所构成的图的对偶图称为总体布线图(global routing graph,简称 GRG).总体布线的输入是给定电路器件或单元的拓扑和物理描述、电路连接关系和性能参数的描述以及 GRG;输出是满足给定集成电路的工艺约束条件、电路连接关系和优化目标的所有线网在总体布线图中的连通树.总体布线中一个线网的布线问题,对应着 GRG 中特定点集合的 Steiner 树问题.

总体布线的结果对最后详细布线的成功与否和芯片的性能影响极大,美国 SRC(Semiconductor Research Corporation)组织提出的"Physical Design Top Ten Problems"[2]列举了 10 个重大问题,其中有 3 个涉及这一领域.因此,针对集成电路(IC)设计规模、工艺的发展,分析总体布线算法设计中的关键技术,设计先进、有效的总体布线算法,具有重要的学术价值和实际意义.

集成电路的制造工艺目前正从深亚微米(deep-submicron,简称 DSM)(小于 0.5 微米)阶段进入到超深亚微米(very-deep-submicron,简称 VDSM)(小于 0.25 微米)阶段;集成电路的设计规模也正由超大规模(VLSI)向甚大规模(ultra large scale integrated circuits,简称 ULSI)方向发展.因此,要优化芯片的性能,在布线过程中除了考虑线长优化目标以外,更需要考虑时延[3]、串扰等典型性能优化目标,采用性能驱动的总体布线技术.于是,在 DSM,VDSM 工艺下的 VLSI,ULSI 电路设计中,性能驱动的总体布线技术已成为热点的研究方向.本文将阐述性能驱动总体布线算法设计中亟待解决的关键技术以及国内外典型相关研究工作的进展情况.本文第 1 节简要介绍了性能驱动总体布线的概念;第 2 节分析了性能驱动总体布线算法设计中亟待解决的关键技术内容;第 3 节结合作者自己的工作详细论述了相关研究工作的整体进展情况;最后,提出了进一步的研究方向与技术路线.

2 算法研究中的关键技术

在 DSM,VDSM 工艺阶段,特征宽度极小,这使得时延研究发生了本质的变化.在以往的集成电路设计中一般只考虑器件延迟,采用"零延迟(non-delay)互连线模型",这是符合当时实际情况的.当在 0.8 微米工艺下,情况发生了变化,互连线延迟已与门延迟相当.而在 DSM,VDSM 工艺下,互连线延迟超过了门延迟,成为影响电路性能的决定因素(不同工艺下互连线延迟与门延迟的对比如图 1 所示[4],器件延迟和互连线延迟的发展与变化关系如图 2 所示).这时,着眼点应该由器件延迟转向互连线延迟,采用"零延迟器件模型"以适应新的要求.而且,时延模型也发生了变化.同时,由于模块、互连线排列更加紧密,电路工作频率更高,使得耦合效应明显,串扰成为一个突出的问题(如图 3 所示[4],随着特征宽度的减小,平行走线的最大许可长度值急剧减小).这些问题都严重阻碍着电路的集成度和工作频率的进一步提高以及特征宽度的进一步减小.此外,VLSI,ULSI 的电路规模更大、器件数量更多,因此必须考虑算法的可行性,即必须寻求可以接受的算



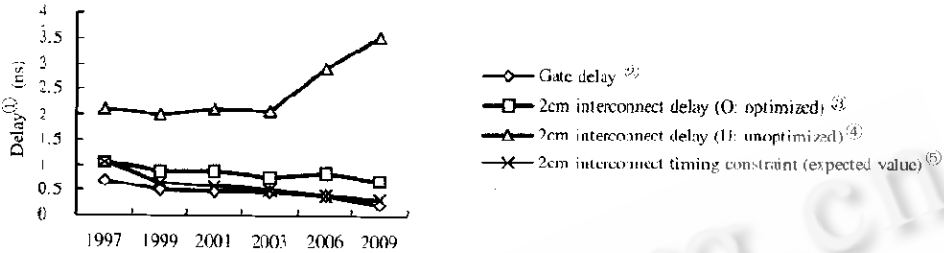
①延迟,②工艺,③1 毫米连线,④2 厘米连线,⑤固定的门延迟.

Fig.1 Global and local interconnect delays versus gate delays

图 1 不同工艺下互连线延迟与门延迟的对比

© 中国科学院软件研究所 http://www.jos.org.cn

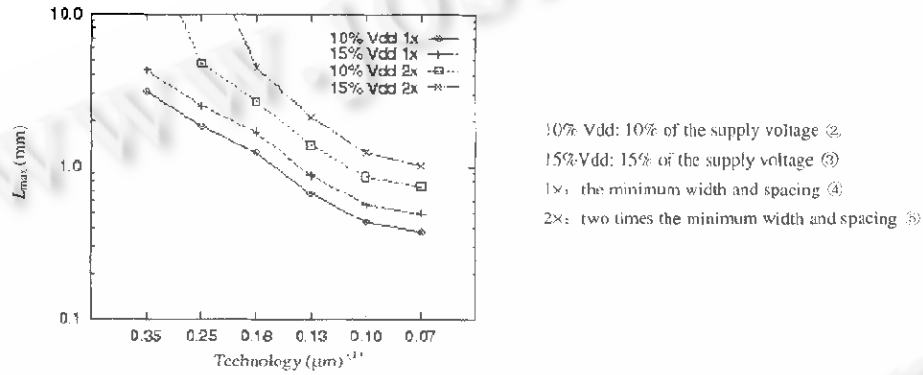
法时间、空间复杂性.为了解决这些问题,首先需要分析其中的关键技术.



①延迟,②门延迟,③2厘米连线延迟(O:经优化),④2厘米连线延迟(U:未经优化),⑤2厘米连线延迟约束(期望值).

Fig. 2 The changes between gate delays and interconnect delays

图2 器件延迟及互连线延迟的发展与变化关系



①工艺(微米),②供电电压的10%,③供电电压的15%,④最小线宽与间距,⑤2倍的最小线宽与间距.

Fig. 3 The crosstalk will become an important factor in DSM designs

图3 DSM工艺下变得突出的串扰问题

性能驱动总体布线需要解决的关键技术如下:

• 在DSM,VDSM工艺下,时延模型的选取问题.其关键在于:(1)确定时延模型选取的出发点,一致性(即时延模型反映实际时延的敏感程度)是重要的;精确性(即时延模型反映真实时延值的准确程度)是相对次要的;计算应较为简单、快捷.应从这一点出发,选取满足工艺要求的时延模型.(2)多节点(大于6)线网构造初始最小时延Steiner树时求解速度很慢.(3)"查表"时延模型在总体布线树求解中的应用.已有的时延驱动总体布线算法尚未涉及采用"查表"时延模型的内容.而实际情况是,一方面,目前工业界普遍采用"查表"时延模型,另一方面,许多实际问题无法采用解析时延模型表示,只有实测的时延数据.这些实际情况都给时延驱动的总体布线算法设计提出了新的要求.针对这一应用背景,很有必要在总体布线中解决"查表"时延模型的应用问题.

• 基于新概念的时延驱动总体布线算法.在研究中要解决的理论难点是,在分析早期的一些算法以及已有的基于线网[5]和基于关键路径[6~9]这两类时延驱动总体布线算法不足的基础上,提出基于新概念的时延驱动总体布线策略,从理论上进行创新.

• 寻求加速总体布线的方法,在提高布线速度的同时,设法保证布线性能基本不降.

• 解决以下两个总体布线至今仍要很好解决的关键问题:(1)减小线网布线顺序对布线结果的影响;(2)加强对布线拥挤区域的预测、避开拥挤区域.

© 中国科学院软件研究所 http://www.jos.org.cn

• 串扰模型的研究.选取合适的串扰模型用于布线算法之中.

• 串扰驱动的总体布线算法.尝试在总体布线阶段而不是在总体布线之后或详细布线阶段解决串扰问题.这样,布线算法设计的灵活性增大,容易较好地解决串扰问题,也便于综合考虑时延、串扰等多个优化目标,最终获得品质优良的性能驱动总体布线器.

• 对理论与算法进行验证.注意在集成电路规模和版图数据格式这两个方面,采用包括特大规模电路在内的典型电路实例和MCNC,LEF/DEF两种不同版图数据格式的测试实例进行算法验证.

3 研究进展

3.1 时延驱动Steiner树构造算法

构造总体布线树(Steiner树)是总体布线研究的重要内容之一[10,11],构造最小费用Steiner树问题已被证明是NP完全问题[12].在已有的求解Steiner树的算法中,典型的有模仿或利用最小生成树(MST)的算法[13],它只能求得较佳的Steiner树;通过遍历所有可能的Steiner树形状的Dreyfus-Wagner(DW)方法[14]可求得最小长度的Steiner树,但其缺点是在节点较多时,求解时间急剧增加,因其算法复杂度是$O(3^r n+2^r n^2+n^2\log n+nm)$,其中$n$为节点总数,$m$为边数,$r$为要连通的节点数.

为实现时延驱动的总体布线算法,很有必要研究以时延为优化目标的Steiner树构造算法.在这方面已进行了许多有价值的研究工作[15~36].研究中一般采用Elmore时延模型[37~39],也有的研究工作[40,41]为适应某些需求对Elmore时延模型进行了改进,如文献[41]针对非均匀线宽进行了模型的改进.文献[16~36]的研究工作均采用了Elmore时延模型.其中,文献[17]是一种在构造布线树的同时直接进行Elmore时延优化的贪婪算法,它显示了比其更早的性能驱动布线树构造算法的巨大改进,其不足之处是算法的面积开销很大,以及由于自身的贪婪特性,使得算法更倾向于产生星形的拓扑结构.文献[20]提出了一种不同于文献[17]的那种贪婪启发式的构造算法,它是根据漏的排列构造布线树的拓扑结构,然后将该结构映射到布线版图上.该算法基于Elmore模型,并同时进行线宽优化的动态规划,从而获得了面积/时延的均衡.文献[18,19]提出了基于非Hanan网格点[42]的最小时延Steiner树构造算法.文献[22~24]提出了IDW和CFD两种构造算法.IDW算法采用简化的Elmore模型,对DW算法的两个递推公式加以改进,加入对时延的优化,构造出性能优良的时延驱动Steiner树算法.当出现对于多节点(大于6)线网,IDW算法求解速度较慢的情况时,又提出CFD算法加以弥补.与IDW算法相比,CFD算法大大提高了求解速度,但线网时延性能有所降低.文献[30]基于Elmore模型采用变线宽(optimal wire sizing solution)的方法构造Steiner树,以减小时延和布线面积.文献[31,32]基于Elmore模型采用插入buffer的方法来优化互连线的时延,依靠牺牲器件面积来减小延迟.更近期的研究工作[26,27]也是采用插入buffer的方法来减小延迟,不过,它针对非Hanan点布线树构造的背景,采用的是AWE时延模型[43].针对bus线布线的特点,基于Elmore模型,文献[33~35]对多源(multiple sources)线网的布线进行了研究:文献[33]采用的是变线宽[30]的方法;文献[34,35]采用的是扩张RC直径法(augmented RC-diameter,简称ARD),该方法可用于优化双向buffer的插入,计算速度快.

我们发现,采用Elmore模型构造时延Steiner树,在DSM,VDSM工艺下对形状较复杂线网的时延估计会有较大的误差.于是,我们在自己的研究中采用Sakurai时延模型[44]设计总体布线树

© 中国科学院软件研究所 http://www.jos.org.cn

算法[45]来解决在小特征宽度下 Steiner 树形状与实际时延之间的准确对应关系.实验结果表明:Sakurai 模型较好地反映了 Steiner 树的形状与时延之间的对应关系,算法随特征宽度由 8 微米逐渐减小到 0.6 微米,始终能够得到相应的时延最优解;而 Elmore 时延模型得到的则始终是与 8 微米工艺对应的最优解.

为了考虑在高频 DSM 工艺和高速 MCM/PCB 设计时自感这一关键因素的影响,文献[46]基于 RLC 模型,在布线树的构造过程中同时考虑时延、响应波形和布线面积等目标的优化,在这 3 方面得到了良好的折衷结果.

3.2 时延驱动总体布线算法

较早期的一些以连线延迟最小化为目标的总体布线算法,只是简单地将最小化线网连线延迟的概念转化为最短线网长度布线[47,48].还有一些算法采用优先级分配的方法,通过静态时延分析产生出关键线网,然后,给这些关键线网分配较高的优先级,尽量使它们的长度最小[49,50].实际上,只有在两端线网或连线电阻与输出驱动电阻相比可以忽略不计的情况下,最短线网连接才能保证最短的连线延迟[51].对于多端线网,在 DSM,VDSM 工艺下,连线电阻与输出驱动电阻相比不能忽略不计.此时,线网的漏端延迟不仅与线网总连线长度有关,而且与线网布线树的结构有关.

时延驱动总体布线算法这部分工作是非常重要的.但由于其工作量大、系统性强、理论难度大,因而研究成果相对还较少.

电路的最长关键路径时延决定了芯片的电性能.因此,时延驱动总体布线算法主要是考虑如何控制关键路径时延.目前已有的算法在控制关键路径延迟时有两种基本策略:(1) 基于线网的时延驱动总体布线策略[6].它是将关键路径上的连线延迟约束分配到各相关线网中,作为对线网延迟的约束.在布线过程中,只要每条线网满足各自的时延约束,在最终布线结果中就能使关键路径上的延迟满足用户要求.这种方法比早期[47~50]采用的两类方法显示出巨大的进步,并且控制简单,易于实现.(2) 基于关键路径的时延驱动总体布线策略[6~9].在总体布线时,它并不单一考虑每条线网的延迟约束,而是将线网的延迟约束检查放到与其相关的关键路径的延迟约束检查中,只要关键路径上总的延迟约束满足,线网的新布线结果就会被接受.这种方法是为改进方法(1)的不足而提出的一种新策略,它力求避免不合理的延迟分配,放宽线网的布线约束,以得到更好的布线质量.与策略(2)相比,策略(1)在时延约束的分配上有一定的盲目性.由于对每条线网的延迟都有严格的限制,如果时延分配结果与实际布线的需求不相符,则会使得拥挤线网无法得到改善.虽然,布线结果满足时延需求,但可能导致布通率的下降.在策略(2)中,确定需改进的线网带有盲目性,只能靠贪婪试探的方法,不能主动控制.同时,关键路径的总数一般非常多,重布每个线网后都要判断所有的关键路径,大大降低了总体布线算法的求解速度.另外,这两类策略共有的不足之处在于:对布线中间结果的约束一般会比较苛刻,这样会对总体布线的其他优化目标及约束条件造成比较大的影响;关键路径是静态指定的,不能反映出求解过程中电路中新产生的超时情况;对线网的时延约束是孤立的,缺少全局观,存在布线结果依赖于布线顺序的问题.

我们提出了一种新的基于关键网络概念的时延驱动总体布线算法,其基本求解思路与上述两种策略不同.该算法的求解过程是,首先不考虑布线区的拥挤情况和时延约束为每个线网构造初始布线树,然后根据布线区的拥挤情况对布线树进行拆线重布,并根据布线树的变化利用时延传递网络(TACT)动态地更新每个节点的时延信息.当求解过程中电路里实际时延超过要求值的节点数有一定比例时,或最终结果的总时延值超出要求值时,通过求解关键网络的特定割,确定出一组线网,从它们为避开拥挤区所产生的众多布线树中选用那些能使时延得到优化的布线树,对电路的总

© 中国科学院软件研究所 http://www.jos.org.cn

时延进行优化.实验结果表明,该算法找到了改进时延的最佳优化策略,实现了从全局角度进行电路时延优化.同时,由于对求解过程的中间结果没有苛刻的时延要求,使得对其他布线目标的优化比较容易.

另外,还有针对其他应用背景的性能驱动总体布线算法的研究,如文献[52]研究了基于密集PCB/MCM设计应用的性能驱动的多层区域布线算法.

3.3 总体布线的加速策略

遗传算法和模拟退火算法都是组合优化问题中著名的随机优化算法.为了求得布线的最优解,在总体布线中采用了遗传算法[53]和模拟退火算法[54~57].但遗传算法后来并未在布线中得到广泛采用,其原因是用基因的形式表示布线解,以及布线解的"遗传"、"变异"和"杂交",评价基因的质量,变异率的选取等问题都还有待进一步研究.基于模拟退火的布线方法的弱点是算法运行时间较长.对于大规模电路的求解问题,若需要求得最优解,所消耗的时间就会过长.随着总体布线问题规模的增大,现有的模拟退火算法已不能满足时间上的需要.

为加速求解多节点(大于6)最小时延Steiner树算法,我们设计了分层DW算法[58],算法复杂度降为$O(rn+rn^2+n^2\log n+nm)$.进行了典型实例的测试,实验结果表明:分层DW算法求解多节点(>7)Steiner树,耗时比DW算法缩短很多,与CFD算法相当;同时,比CFD算法线长平均减少10%~20%,比最佳解平均增加约1%.

为加速总体布线的进程,我们设计了并行的总体布线算法[59],在多处理机系统上实现了RINO算法[60,61]的并行化,并进行了大规模电路实例的测试工作.最大的测例包含18万多个线网、20多万个网格.结果表明,该算法与串行算法相比能明显加快求解过程.在含有4个处理机和足够内存的Sun Enterprise 450平台上,加速比达到3以上,而布线解的质量并没有下降.

3.4 关于布线顺序与拥挤区

较早期的独立布线与拆线重布算法[62]、带拥挤度分析的串行布线与拆线重布算法[63]、随机顺序拆线重布算法[64,65]在一定程度上减少了拥挤,并容易引入更多的优化目标.但存在布线拥挤通道的不可预见性;总体布线结果对线网布线顺序具有依赖性等缺点.为了解决这些问题,提出了以下算法:(1) 多商品流算法[66];(2) 单商品流算法[67];(3) 多端点多商品流算法[68~70].其中,算法(1)将文献[62]扩展为多商品流问题,于是能动态地调整边权值,减少在拥挤通道的布线.但是,不能保证直接得到整数解,而利用线性规划求得的分数解与整数解本质上是不一致的.算法(2)观察到算法(1)的模式不能保证整数解,转而采用单商品流模型.但是,该算法中仍存在顺序问题:GRG中的节点处理顺序影响布线结果.算法(3)针对拥挤区域的不可预测性以及线网布线顺序的依赖性这两个总体布线面临的难点,提出了多端点多商品流算法,并在门阵列模式下实现了基于该模型的总体布线器Carden Ⅳ-Router.它可以有效地避开求解结果对线网布线顺序的依赖性,有效地疏散拥挤区域,并且可以处理多端点线网和支持多层布线.Carden Ⅳ-Router是自1991年起至今求解性能最好的总体布线器之一.但是,算法存在着布线时间较长、空间复杂度较高的缺点.

我们设计了一种新的与线网顺序无关的随机总体布线算法——RINO算法[60,61],重点解决了布线结果受布线顺序的影响、总体布线图中的拥挤区域的不可预见性、线网的连接式样受到算法的限制等关键问题.同时,针对典型电路实例,将该布线器RINO-Router与Carden Ⅳ-Router的布线结果进行了测试与对比.实验结果表明,RINO Router能够在比Carden Ⅳ-Router短得多的运行时间内求得性能(用溢出边数和总线长进行评价)相近的总体布线结果,并且结果比较稳定,基本不受

© 中国科学院软件研究所 http://www.jos.org.cn

布线顺序影响.另外,布线结果的通孔个数要远远少于 Carden IV-Router 的结果.

3.5 串扰模型研究

在 DSM 和 VDSM 工艺下,随着芯片特征宽度的不断减小,模块和互连线排列更加紧密,电路工作频率更高.于是,相邻线网间的耦合效应(电感和电容)显著增加,这使得串扰[71,72]成为影响高性能 IC 设计的另一个突出问题.串扰现象主要由相邻连线之间耦合电容和耦合电感引起,而相邻连线间的耦合电容和电感的总量取决于线间的距离,连线离地的远近以及它们相邻一起走线的长度等因素.

与时延的研究相比,在布线中对于串扰问题的研究起步相对较晚,程度也不是那么广泛和深入.但是,已经有一些有意义的相关研究工作和研究成果.这些工作大致可分为两个方面:关于串扰模型的研究和串扰驱动的总体布线算法.

关于串扰模型的研究可追溯到 30 多年前的工作[72],它比较清楚地介绍了串扰的形成及其模型的概念,但它是基于 PCB 的.多年后,随着 IC 技术的发展,基于 IC 布线中的相关研究工作逐步开展起来[73~79].文献[73]采用集总(lumped)积分模型导出了串扰边界,并将其尝试用于通道布线.该算法没有考虑互连线的电阻,而文献[74]认为计算噪声时考虑互连线的电阻还是非常重要的.文献[76]采用耦合 T 型网络模型以进一步扩展文献[73]中的计算模型,使得该算式能够处理互连线的电阻.由于文献[79]中的模型不能保证得到边界误差,文献[73]中的模型对于阶跃输入信号存在较长上升延迟,文献[79]进行了进一步的研究工作,弥补了这些不足.文献[77,78]研究了互连线间串扰的微分方程组模型,文献[77]的研究更具有一般性(如考虑了多条互连线间的串扰和两信号反向传输等情况),计算模型也更加准确.

3.6 串扰驱动总体布线算法

串扰问题在另一方面的研究进展在于串扰驱动的总体布线算法.文献[80]通过对称与非对称地调整线宽与线间距来减少耦合电容.较早期的串扰驱动总体布线算法所采用的方法多是在详细布线阶段对串扰进行精确地计算[81~86],这类方法的优点是对串扰的估计比较准确,但也有其不足之处:详细布线阶段避免串扰的灵活度有限.即,若在总体布线阶段不考虑串扰,在详细布线过程中就往往很难找到一个比较合适的解决串扰问题的方案.于是,近两三年来又提出了一类在总体布线阶段避免串扰的方法.文献[87,88]采用的方法是在总体布线之后对布线结果进行调整以减少串扰.该方法基于 GRG,将减小串扰的策略分为两个阶段:串扰边界划分和布线网序问题调整.该算法扩展了较早期消除串扰算法的思路,但其思路基于区域性,是以需要额外布线道资源及其数量来定义串扰风险的.因此,若经过边界划分和网序调整之后,某个区域仍需要额外的布线道,则该区域的一些线网就要被拆线并通过其他区域走线重布.这增加了工作难度和工作量.文献[89,90]提出的是一种在总体布线阶段解决串扰问题的新方法,它比文献[87,88]的方法更具有一般性.该方法采用两阶段的启发式方法来控制串扰:首先以最小化总串扰为目标采用一种新的 Steiner 树构造算法来为每个线网构造初始 Steiner 树;然后,估计每个线网的串扰风险,超标的线网将被拆线重布.在重布过程中采用了拉格朗日松弛技术,使串扰得以控制.但是,在该算法中没有同时考虑时延优化问题.

总的看来,对于串扰问题的整体研究还比较薄弱,模型、算法等方面都还相对不够成熟,有必要进行进一步深入的理论研究与算法实现工作.

© 中国科学院软件研究所 http://www.jos.org.cn

4 进一步的工作

围绕性能驱动总体布线算法的关键技术,结合我们已进行的相关工作和取得的阶段性成果,我们确定了进一步的研究工作方向及其技术路线.(1) 解决时延驱动布线树求解速度较慢的问题,拟采用与已提出的分层 DW 算法相结合的方法,构造出效率较高、时延性能降低不多的时延驱动的 Steiner 树分层构造算法.(2) 解决"查表"时延模型在布线树求解中的应用问题.文献[91]为改进 Elmore 时延模型,已对"查表"时延模型进行了研究.(3) 选取合适的串扰模型.(4) 在总体布线阶段解决串扰问题,得到时延、串扰综合性能优化的品质优良的总体布线器.

致谢 感谢石纯一教授对本文的完成提出了建设性意见,使我们受到很大启发,并进行了重要的修改与补充.

References:

[1] Hong, Xian-long, Yan, Xiao-lang, Qiao, Chang-ge. The Theories and Algorithms for VLSI Layout Design. Beijing: Science Press, 1998 (in Chinese).

[2] Parkhurst, J., Sherwani, N., Maturi, S., *et al*. SRC physical design top ten problems. In: ACM, ed. Proceedings of the International Symposium on Physical Design (ISPD). New York: ACM Press, 1999. 55~58.

[3] Sapatnekar, S. S., Kang, S. M. (Steve). Design Automation for Timing Driven Layout Synthesis. Boston: Kluwer Academic Publishers, 1993.

[4] Cong, J., He, L., Cheng, K. K., *et al*. Interconnect design for deep submicron ICs. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1997.

[5] Huang, J., Hong, X. L., Cheng, C. K., *et al*. An efficient timing driven global routing algorithm. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1993. 595~600.

[6] Xue, T. X., Fujii, T., Kuh, E. S. A new performance-driven global routing algorithm for gate array. In: IEEE, ed. Proceedings of the European Design Automation Conference (EURO-DAC). Los Alamitos: IEEE Computer Society Press, 1993.

[7] Hong, X. L., Xue, T. X., Huang, J., *et al*. An efficient timing-driven global routing algorithm for standard cell and gate array design. IEEE Transactions on CAD, 1997,16(11):1323~1331.

[8] Kang, Zhi-wei. A new path-based timing-driven global routing algorithm [MS. Thesis]. Beijing: Tsinghua University, 1995 (in Chinese).

[9] Harada, I., Takei, Y., Kitazawa, H. A global router optimizing timing and area for high-speed bipolar LSIs. IEICE Transactions on Fundamentals, 1994,E77-A(12):2058~2056.

[10] Chiang, C., Sarrafzadeh, M., Wong, C. K. Global routing based on steiner min-max trees. IEEE Transactions on CAD, 1990,9(12):1318~1325.

[11] Chiang, C., Wong, C. K., Sarrafzadeh, M. A weighted steiner tree based global router with simultaneous length and density minimization. IEEE Transactions on CAD, 1994,13(12):1461~1469.

[12] Garey, M., Johnson, D. S. The rectilinear steiner problem is NP-complete. SIAM Journal of Applied Mathematics, 1977, 30:826~834.

[13] Hwang, F. K. On steiner minimal trees with rectilinear distance. SIAM Journal of Applied Mathematics, 1976,30:104~114.

[14] Dreyfus, S. E., Wagner, R. A. The steiner problem in graph. Networks, 1972,1:195~207.

[15] Alpert, C. J., Hu, T. C., Huang, J. H., *et al*. A direct combination of the Prim and Dijkstra constructions for improved performance-driven global routing. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1993. 1869~1872.

[16] Boese, K. D., Kahng, A. B., McCoy, B. A., *et al*. Rectilinear steiner trees with minimum elmore delay. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1994. 381~386.

[17] Boese, K. D., Kahng, A. B., McCoy, B. A., *et al*. Near-Optimal critical sink routing tree constructions. IEEE Transactions on CAD, 1995,14(12):1417~1436.

© 中国科学院软件研究所 http://www.jos.org.cn

[18] Hou, H.B., Sapatnekar, S.S. Routing tree topology construction to meet interconnect timing constraints. In: ACM, ed. Proceedings of the International Symposium on Physical Design (ISPD). New York: ACM Press, 1998. 205~210.

[19] Hou, H.B., Hu, J. Non-Hanan routing. IEEE Transactions on CAD, 1999,18(4):436~444.

[20] Lillis, J., Cheng, C.K., Lin, T.T.Y., *et al.* New performance driven routing techniques with explicit area/delay tradeoff and simultaneous wire sizing. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1996.

[21] Borah, M., Owens, R.M., Irwin, M.J. A fast algorithm for minimizing the elmore delay to identified critical sinks. IEEE Transactions on CAD, 1997,16(7):53~759.

[22] Hong, Xian-long, Xue, Tian xiong, Cheng, Chung-kuan, *et al.* Performance-Driven steiner tree algorithm for global routing. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1993. 177~181.

[23] Hong, Xian-long. A performance-driven steiner tree algorithm for global routing. Chinese Journal of Computers, 1995,18(4):266~272 (in Chinese).

[24] Hong, Xian-long. A performance-driven steiner tree algorithm using constructed force directed approach for global routing. Chinese Journal of Semiconductors, 1995,16(3):218~223 (in Chinese).

[25] Vittal, A., Marek-Sadowska, M. Minimal delay interconnect design using alphabetic trees. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1994. 392~396.

[26] Hu, J., Sapatnekar, S.S. Simultaneous buffer insertion and non-hanan optimization for VLSI interconnect under a higher order AWE model. In: ACM, ed. Proceedings of the International Symposium on Physical Design (ISPD). New York: ACM Press, 1999. 133~138.

[27] Hu, J., Sapatnekar, S.S. Algorithm for non hanan-based optimization for VLSI interconnect under higher-order AWE model. IEEE Transactions on CAD, 2000,19(4):446~458.

[28] Cong, J., Madden, P.H. Performance-Driven routing with multiple sources. IEEE Transactions on CAD, 1997,16(4):413~419.

[29] Sapatnekar, S.S. RC interconnect optimization under the elmore delay model. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1994. 387~391.

[30] Cong, J., Leung, K.S. Optimal wiresizing under elmore delay model. IEEE Transactions on CAD, 1995,14(3):321~336.

[31] Chu, C.C.N., Wong, D.F. A new approach to simultaneous buffer insertion and wire sizing. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1997.

[32] Chu, C.C.N., Wong, D.F. An efficient and optimal algorithm for simultaneous buffer and wire sizing. IEEE Transactions on CAD, 1999,18(9):1297~1304.

[33] Cong, J., He, L. Optimal wiresizing for interconnects with multiple sources. ACM Transactions on Design Automation of Electronic Systems, 1996,1(1~4):478~511.

[34] Lillis, J., Cheng, C.K. Timing optimization for multisource nets: characterization and optimal repeater insertion. IEEE Transactions on CAD, 1999,18(3):322~331.

[35] Lillis, J., Cheng, C.K. Timing optimization for multi-source nets: characterization and optimal repeater insertion. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1997. 214~219.

[36] Tsujii, N., Baba, K., Tsukiyama, S. An interconnect topology optimization by a tree transformation. In: IEEE, ACM, eds. Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC). Los Alamitos: IEEE Computer Society Press, 2000. 93~98.

[37] Elmore, W.C. The transient response of lumped linear networks with particular regard to wideband amplifiers. Journal of Applied Physics, 1948,19(1):55~59.

[38] Gupta, R., Krauter, B., Tutuianu, B., *et al.* The elmore delay as a bound for RC trees with generalized input signals. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1995. 364~369.

[39] Pileggi, L. Timing metrics for physical design of deep submicron technologies. In: ACM, ed. Proceedings of the International Symposium on Physical Design (ISPD). New York: ACM Press, 1998. 28~33.

[40] Rao, V.B. Delay analysis of the distributed RC line. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1995. 370~375.

[41] Chen, C.P., Chen, Y.P., Wong, D.F. Optimal wire-sizing formula under the elmore delay model. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1996.

© 中国科学院软件研究所 http://www.jos.org.cn

[42] Hanan, M. On steiner's problem with rectilinear distance. SIAM Journal of Applied Mathematics, 1966,11(4):255~265.

[43] Pillage, L. T., Rohrer, R. A. Asymptotic waveform evaluation for timing analysis. IEEE Transactions on CAD, 1990,9(4):352~366.

[44] Sacurai, T. Approximation of wiring delay in MOSFET LSI. IEEE Journal of Solid-State Circuits (SSC), 1983,18(4):418~426.

[45] Bao, Hai-yun., Hong, Xian-long, Cai, Yi-ci, *et al*. Timing-driven steiner tree algorithm based on sakurai model. Chinese Journal of Semiconductors, 1999,20(1):41~46 (in Chinese).

[46] Cong, J., Koh, C. K. Interconnect layout optimization under higher-order RLC model. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1997.

[47] Fujihara, Yasuyuki, Sekiyama, Yutaka, Ishibashi, Yasuo, *et al*. DYNAJUST: an efficient automation routing technique optimizing delay conditions. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1989. 791~794.

[48] Jackson, M. A. B., Kuh, E. S., Marek-Sadowska, M. Timing driven routing for building block layout. In: IEEE, ed. Proceedings of the International Symposium on Circuit and Systems (ISCAS). Los Alamitos: IEEE Computer Society Press, 1987. 518~519.

[49] Dunlop, A. E., Agrawal, V. D., Deutsch, D. N., *et al*. Chip layout optimization using critical path weighting. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1984. 133~136.

[50] Rose, M., Wiesel, M., Kirkpatrick, D., *et al*. Dense, performance directed, auto place and route. In: IEEE, ed. Proceedings of the Custom Integrated Circuits Conference (CICC). Los Alamitos: IEEE Computer Society Press, 1988. 11.1.1~11.1.4.

[51] Prasitjutrakul, S., Kubitz, W. J. A timing-driven global router for custom chip design. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1990. 48~51.

[52] Cong, J., Madden, P. H. Performance driven multi-layer general area routing for PCB/MCM designs. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1998. 356~361.

[53] Esbensen, H. A macro cell global router based on two genetic algorithms. In: IEEE, ed. Proceedings of the European Design Automation Conference (EURO-DAC). Los Alamitos: IEEE Computer Society Press, 1994.

[54] Vecchi, M. P., Kirkpartrick, S. Global wiring by simulated annealing. IEEE Transactions on CAD, 1983,2(2):215~222.

[55] Sechen, C., Sangiovanni-Vincentelli, A. The TimberWolf placement and routing package. IEEE Journal of Solid-State Circuits (SSC), 1985,20(2):432~439.

[56] Kirkpatrick, S., Gelatt, Jr. C. D., Vecchi, M. P. Optimization by simulated annealing. Science, 1983,220(4598):671~680.

[57] Moosa, Z., Brown, M., Edwards, D. An application of simulated annealing to maze routing. In: IEEE, ed. Proceedings of the European Design Automation Conference (EURO-DAC). Los Alamitos: IEEE Computer Society Press, 1994.

[58] Bao, Hai-yun, Hong, Xian-long, Cai, Yi-ci, *et al*. A hierarchical steiner tree algorithm based on dreyfus-wagner method. Microelectronics and Computer, 1998,(supplement):41~44 (in Chinese).

[59] Bao, Hai-yun, Xu, Jing-yu, Hong, Xian-long, *et al*. Parallel implementation of an MISD based VLSI global routing algorithm independent of net ordering. Microelectronics, 2000,30(supplement):31~33 (in Chinese).

[60] Bao, Hai-yun, Hong, Xian-long, Cai, Yi-ci. A new global routing algorithm independent of net ordering. In: IEEE, ACM, eds. Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC). Los Alamitos: IEEE Computer Society Press, 1999. 245~248.

[61] Bao, Hai-yun, Jing, Tong, Hong, Xian-long, *et al*. A novel random global routing algorithm independent of net ordering. Chinese Journal of Computers, 2001,24(4) (in Chinese).

[62] Ting, B. S., Tien, B. N. Routing techniques for gate array. IEEE Transactions on CAD, 1983,2(4):301~312.

[63] Chiang, C., Sarrafzadeh, M., Wang, C. K. A powerful global router: based on steiner min max trees. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1989. 2~10.

[64] Tarjan, R. E. Algorithms for maximum network flow. Mathematical Programming Study, 1986,26:1~11.

[65] Cong, J. S., Preas, B. A new algorithm for standard cell global routing. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1988. 176~179.

© 中国科学院软件研究所 http://www.jos.org.cn

[66] Shragowitz, E., Keel, S. A global router based on a multi-commodity flow model. Integration, the VLSI Journal, 1987, 5:3~16.

[67] Meixner, G., Lauther, U. A new global router based on a flow model and linear assignment. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1990. 44~47.

[68] Carden IV, R.C. Microelectronics global routing and feasibility estimation using a multi-commodity flow approach [Ph. D. Thesis]. San Diego, CA: University of California, 1991.

[69] Carden IV, R. C., Cheng, C. K. A global router using an efficient approximate multicommodity multiterminal flow algorithm. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1991. 316~321.

[70] Carden IV, R.C., Li, J.M., Cheng, C.K. A global router with a theoretical bound on the optimal solution. IEEE Transactions on CAD, 1996,15(2):208~216.

[71] Bakoglu, H.B. Circuits, Interconnections, and Packaging for VLSI. Reading, MA: Addison-Wesley Publishing Company, 1990.

[72] Catt, I. Crosstalk (noise) in digital systems. IEEE Transactions on Electronic Computers, 1967,16(6):743~763.

[73] Vittal, A., Marek-Sadowska, M. Crosstalk reduction for VLSI. IEEE Transactions on CAD, 1997,16(3):290~298.

[74] Yang, X. Crosstalk-Driven layout [MS. Thesis]. Santa Barbara, CA: University of California, 1996.

[75] Devgan, A. Efficient coupled noise estimation for on-chip interconnects. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1997. 147~153.

[76] Stohr, T., Alt, M., Hetzel, A., *et al.* Analysis, reduction and avoidance of crosstalk on VLSI chips. In: ACM, ed. Proceedings of the International Symposium on Physical Design (ISPD). New York: ACM Press, 1998. 211~218.

[77] Kawaguchi, H., Sakurai, T. Delay and noise formulas for capacitively coupled distributed RC lines. In: IEEE, ACM, eds. Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC). Los Alamitos: IEEE Computer Society Press, 1998.

[78] Sakurai, T. Closed form expressions for interconnection delay, coupling and crosstalk in VLSI's. IEEE Transactions on Electron Devices, 1993,40(1):118~124.

[79] Vittal, A., Chen, L.H., Marek-Sadowska, M., *et al.* Crosstalk in VLSI interconnections. IEEE Transactions on CAD, 1999,18(12):1817~1824.

[80] Cong, J., He, L., Koh, C.K., *et al.* Global interconnect sizing and spacing with consideration of coupling capacitance. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1997.

[81] Chaudhary, K., Oniozawa, A., Kuh, E.S. A spacing algorithm for performance enhancement and crosstalk reduction. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1993. 697~702.

[82] Gao, T., Liu, C.L. Minimum crosstalk switchbox routing. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1994. 610~615.

[83] Gao, T., Liu, C.L. Minimum crosstalk channel routing. IEEE Transactions on CAD, 1996,15(5):465~474.

[84] Kirkpatrick, D., Sangiovanni-Vincentelli, A. Techniques for crosstalk avoidance in the physical design of high-performance digital system. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1994. 616~619.

[85] Thakur, S., Zhao, K.Y., Wong, D.F. An optimal layer assignment algorithm for minimizing crosstalk for three layer VHV channel routing. In: IEEE, ed. Proceedings of the International Symposium on Circuit and Systems (ISCAS). Los Alamitos: IEEE Computer Society Press, 1995. 207~210.

[86] Zhou, H., Wang, D.F. An optimal algorithm for river routing with crosstalk constrains. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1996. 310~315.

[87] Xue, T.X., Kuh, E.S., Wang, D.S. Post global routing crosstalk risk estimation and reduction. In: IEEE, ACM, eds. Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Los Alamitos: IEEE Computer Society Press, 1996. 302~309.

[88] Xue, T.X., Kuh, E.S., Wang, D.S. Post global routing crosstalk synthesis. IEEE Transactions on CAD, 1997,16(12):1418~1430.

[89] Zhou, H., Wang, D.F. Global routing with crosstalk constrains. In: ACM, IEEE, eds. Proceedings of the Design

© 中国科学院软件研究所 http://www.jos.org.cn

Automation Conference (DAC). New York: ACM Press, 1998. 374～377.

[90] Zhou, H., Wong, D. F. Global routing with crosstalk constraints. IEEE Transactions on CAD, 1999,18(11):1683～1688.

[91] Lillis, J., Buch, P. Table-lookup methods for improved performance-driven routing. In: ACM, IEEE, eds. Proceedings of the Design Automation Conference (DAC). New York: ACM Press, 1998. 368～373.

附中文参考文献:

[1] 洪先龙,严晓浪,乔长阁.超大规模集成电路布图理论与算法.北京:科学出版社,1998.

[8] 康志伟.一种新的基于关键路径的时延驱动总体布线算法的研究及其实现[硕士学位论文].北京:清华大学,1995.

[23] 洪先龙.一种以电性能优化为目标的Steiner树算法.计算机学报,1995,18(4):266～272.

[24] 洪先龙.一种以时延优化为目标的力指向Steiner树算法.半导体学报,1995,16(3):218～223.

[45] 鲍海云,洪先龙,蔡懿慈,等.基于Sakurai模型的时延驱动Steiner树算法.半导体学报,1999,20(1):41～46.

[58] 鲍海云,洪先龙,蔡懿慈,等.基于Dreyfus Wagner算法的Steiner树分层构造算法.微电子学与计算机,1998,(增刊):41～44.

[59] 鲍海云,许静宇,洪先龙,等.基于MISD体系结构的随机优化总体布线算法RINO的并行化.微电子学,2000,30(增刊):31～33.

[61] 鲍海云,经彤,洪先龙,等.一种新的与线网顺序无关的随机优化总体布线算法.计算机学报,2001,24(4).

The Key Technologies and Related Research Work of Performance-Driven Global Routing*

JING Tong, HONG Xian-Long, CAI Yi-ci, BAO Hai-yun, XU Jing-yu

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

E-mail: {jingtong,hongxl}@tiger.cs.tsinghua.edu.cn; hongxl@tiger.cs.tsinghua.edu.cn

http://www.tsinghua.edu.cn

Abstract: During recent years, the VLSI technology has advanced profoundly, which is in urgent need of strong support from high performance integrated circuit (IC) CAD tools, that is, electrical design automation (EDA) software environment. The technology of VLSI computer aided physical design is called layout design. Global routing is a significant part of layout design. With progress in VLSI, ultra large scale integrated circuits (ULSI) deep-submicron (DSM) and very-deep-submicron (VDSM) technology, many new problems need to be solved in global routing. To solve these problems, many methods in global routing have been proposed to improve the chip performance. Performance Driven global routing technology has been an active area of research. As a result, the key technologies to be studied urgently in performance-driven global routing are analyzed in detail in this paper. The corresponding research work and the important results in this research field are also given.

Key words: global routing; ultra large scale integrated circuits (ULSI); very-deep-submicron (VDSM); timing; crosstalk

* Received September 1, 2000; accepted February 21, 2001

Supported by the Postdoctoral Science Foundation of China under Grant No. [2000]23; the National Grand Fundamental Research 973 Program of China under Grant No. G1998030411; the National Natural Science Foundation of China under Grant No. 69776027

© 中国科学院软件研究所 http://www.jos.org.cn