

Petri 网的硬件实现*

赵不贍^{1,2}, 景亮², 严仰光¹

¹(南京航空航天大学 自动化学院,江苏 南京 210016);

²(江苏大学 电气信息工程学院,江苏 镇江 212013)

E-mail: zhao_bh@263.net

http://www.ujs.edu.cn

摘要: Petri 网是异步并发现象建模的重要工具, Petri 网的硬件实现将为并行控制器的设计提供有效的途径. 给出了几种 Petri 网系统的硬件实现方法, 包括带抑制弧和允许弧的 C/E 系统、P/T 系统、T-时延 Petri 网系统; 给出了硬件实现中非纯网的处理方法. 首先讨论实现各种 Petri 网的逻辑电路; 然后用 ABEL 语言对逻辑电路进行描述; 最后给出了一个用解释 Petri 网描述的服务系统的例子, 说明如何使用硬件(CPLD)实现的方法. 实验结果表明了上述方法的正确性. 这对于离散事件动态系统控制器的设计, 尤其是片上并行控制器、多处理器芯片的设计都具有十分重要的意义.

关键词: 离散事件系统; Petri 网; 控制器; 可编程逻辑器件; 数字电路

中图法分类号: TP303 **文献标识码:** A

众所周知, Petri 网是一种信息流模型. 它所具有的强大的模拟能力, 描述和分析并发现象的独到的优越之处、直观的图形表示、严格的数学基础以及能够反映系统的动态性能等特点, 使得它在许多领域得到应用, 特别是离散事件系统. 使用 Petri 网对离散事件系统建模, 采用 Petri 网软件工具分析、验证系统的各种性能, 已被人们广泛接受.

关于 Petri 网的硬件实现方面的研究, 许多学者一直表现出浓厚的兴趣, 并进行了深入的研究. 首先是法国于 1975 年成立了逻辑控制器标准表示委员会, 对越来越复杂的逻辑控制器, 寻求一种标准化的描述工具, 以促进微处理器的发展. 他们最后选中了以 Petri 网为基础的逻辑控制器图形表示工具, 命名为 GRAFCET^[1], 1982 年成为法国国家标准 NFC03-190. 国际电工委员会(IEC)于 1988 年正式颁布了国际标准 IEC848(1988)《控制系统功能表的绘制》, 它继承了 NFC03-190, 并吸收了多国标准(如: 德国国家标准 DIN40719.6 和美国行业标准 NEMAICS-3-304 等)的特点. 这一标准的颁布, 迅速为各工业国家所采用, 并且在可编程逻辑控制器中得到广泛应用, 使得 Petri 网的应用得到了工业界的支持. 我国于 1993 年颁布了“GB/T6988.6-93”, 等效采用 IEC848.

Petri 网在微电子电路方面的应用也很早就有了研究. 波兰 Zielona Gora 工业大学的 Marian Adamski 和 Marek Wegrzyn, 从 1987 年起, 一直致力于 Petri 网的硬件实现的研究, 先后与英国牛津大学、德国慕尼黑大学等单位开展了国际间的合作. 在他们的努力下, 2000 年 6 月在波兰的 Przystok 举行了第 1 届离散事件系统设计国际研讨会(DESDes 01), 并出版了一本论文集^[2]. 丹麦 AARHU 大学成立了两个专题研究会, 一个是硬件设计, 一个是 Petri 网, 目的是将 Petri 网用于异步电路的设计^[3]. 英国牛津大学早在 1991 年就已经将有色 Petri 网用于 VLSI 设计的描述与分析. 但总的来说, 这方面的研究在过去还没有受到足够的重视. 在我国, 这方面的研究几乎还是

* 收稿日期: 2001-11-12; 修改日期: 2002-02-28

基金项目: 原机械工业部教育司科技基金资助项目(97250834)

作者简介: 赵不贍(1957 -), 男, 江苏高淳人, 博士生, 副教授, 主要研究领域为离散事件系统, Petri 网, 电子设计自动化; 景亮(1966 -), 男, 江苏镇江人, 讲师, 主要研究领域为电子设计自动化, 有源滤波; 严仰光(1935 -), 男, 浙江海宁人, 教授, 博士生导师, 主要研究领域为航空电源, 电力变换器.

空白.一方面,Petri 网的硬件实现有一定的难度,一是 Petri 网描述的是并发问题;二是 Petri 网中反映的是资源的流动,这与传统的逻辑电路设计中的信息处理方式不一样,信息作为一种资源具有消耗性质;三是 Petri 网种类多,时延 Petri 网涉及时间,P/T 系统涉及的不仅是逻辑量,而且还有数值的运算.另一方面,计算机发展飞快,计算机的运算速度迅速提高,并行控制器在设计方面所表现出的问题还不是十分突出.其次是因为有限状态机(FSM)已被广泛运用到控制器的设计中,特别是数字逻辑系统,因为它给出了系统化的硬件实现方法和具体的实现模型,如 Moore 自动机和 Mealy 自动机.然而,用 FSM 实现并行控制器是十分困难的,它必须于设计前划分控制器,常常导致非最优的门级实现,且使设计中并发的数量受到使用 FSM 的数量的限制.随着系统芯片(SoC)的发展,系统的描述和验证问题日益突出,因此,基于 Petri 网的逻辑控制器的逻辑电路实现方法最近几年受到了重视,DESD 国际研讨会正是为了适应这一形势的需要召开的.与此同时,由于 FPGA 和 CPLD 的问世及其在应用方面的迅速推广,各种 EDA 软件工具相继出现,并且功能不断增强,硬件设计“软件化”,这也使得人们可以根据 Petri 网的拓扑结构用硬件加以实现,因此,许多研究人员采用现场可编程门阵列(FPGA)和复杂可编程逻辑器件(CPLD)实现 Petri 网,但到目前为止,都还只停留在 C/E 系统的逻辑实现上,正如文献[4]指出的那样,P/T 系统和时延 Petri 网是未来研究的方向.本文探讨了 Petri 网基于 ABEL 语言的可编程门阵列(CPLD)实现,首先给出了 Petri 网的定义,然后分析了 Petri 网中各种基本子类的逻辑电路实现方法并用 ABEL 语言描述,得出了 Petri 网的硬件实现方法,文章最后给出了一个应用实例.

1 Petri 网简介

定义 1. 六元组 $\Sigma=(S,T;F,K,W,M_0)$ 称为 P/T 系统,其中 $N=(S,T;F)$ 是一个有向网,简称网,满足:

- (1) $S \cup T \neq \emptyset$;
- (2) $S \cap T = \emptyset$;
- (3) $F \subseteq S \times T \cup T \times S$;
- (4) $dom(F) \cup cod(F) = S \cup T$,

而 K, W, M 依次为 N 上的容量函数、权函数、标识. $K: S \rightarrow IN \cup \{\omega\}$, $W: F \rightarrow IN$, $M: S \rightarrow IN_0$. 其中 S 叫作 N 的库所集, T 叫作变迁集, F 叫作流关系. \times 为笛卡尔乘积. M_0 是初始标识, $IN_0 = \{0, 1, 2, \dots\}$, $IN = \{1, 2, \dots\}$.

定义 2. 对于一个 Petri 网,如果它的变迁 T_j 与条件 C_j 和事件 E_j 关联,库所 S_i 与操作 O_i 和时延 D_i 关联(也可以是变迁与时延关联),则称为一个解释 Petri 网.解释 Petri 网的结构如图 1 所示.当 S_i 被标识时,执行操作 O_i ;当变迁 T_j 有发生权时,只有在条件 C_j 满足并且事件 E_j 发生时, T_j 才能发生.

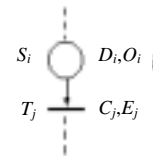


Fig.1 Structure of interpreted Petri net
图 1 解释 Petri 网的结构

2 Petri 网中基本子类的逻辑电路实现方法

Petri 网硬件实现,可以使用同步电路,也可以采用异步电路.同步电路实现时,所有的触发器用全局时钟触动,时钟周期应当小于任何两个有时间顺序关联事件发生的时间差以及事件发生的持续时间,这样才能保证每个事件能够被扫描并予以区分.异步电路实现时,触发器的时钟触发端直接用事件驱动.

2.1 有抑制弧和允许弧的 C/E 系统的实现

图 2 是一个具有抑制弧和允许弧的 C/E 系统,即各有向弧的权为 1,库所容量也是 1.在图 2(a)中, P_1 与 T_1 之间有一条抑制弧, P_4 与 T_2 之间有一条允许弧. X_1, X_2 是与 T_1, T_2 关联的事件, X_3 是与 T_3 关联的条件.在图 2(b)中, D 触发器用来表示库所 P_0 , 3 个与门代表 3 个变迁,任一变迁发生,都会给 D 触发器一个时钟脉冲.比如,最上面的一个与门代表了变迁 T_3 ,只有 P_0 中有托肯(高电平), P_5 和 P_6 中没有托肯,并且 X_3 条件满足(高电平)时,变迁 T_3 发生,这时与门输出高电平,经或门给 D 触发器一个时钟脉冲.逻辑电路的设计,消除了系统冲撞,但冲突的解决仍需由环境决定, Petri 网系统本身没有解决冲突的能力. SET 信号用来置初始标识,如果 P_0 在初始状态下

有托肯时,则 SET 与 D 触发器的直接置位端相联,否则与直接复位端相联,如果要采用同步方式,则将全局时钟直接接到或门。

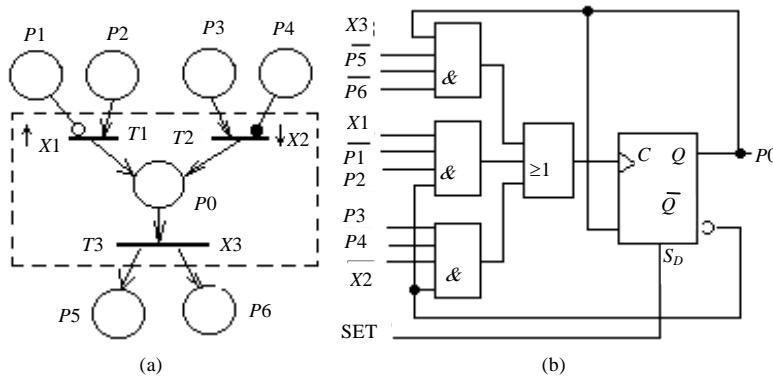


Fig.2 Implementation of the condition/event system with inhibitor arc and enabling arc
图 2 具有抑制弧和允许弧的 C/E 系统的实现

用 ABEL 硬件描述语言描述如下:

P0.AP=SET; //用 SET 给 P0 置初值;

P0.CLK=X3&!P5&!P6&P0#X1&!P1&P2#!P0#!X2&P3&P4&!P0;

P0:=!P0; //P0 的输入变迁或输出变迁中,无论哪一个发生,都将使 P0 的状态与原来状态相反.

2.2 P/T系统的实现

图 3(a)是一个 P/T 系统,各有向弧的权如图所示,权为 1 则省略.设各库所的容量均为 15,也可以说系统是 15 有界.库所 P0 是一个公共存储器,T1,T2,T3 的发生都相当于对存储器存数的操作,因此,在用电路实现时,T1,T2,T3 不能同时发生,否则会出错.

图 3(b)是对应的逻辑电路.根据 P0 的容量,P0 用 4 位二进制数表示,图中用 C 表示.为了防止冲撞,P0 经译码后获得 3 个信号,用以控制变迁的发生.P0≥2 用来控制变迁 T3 的发生.当变迁 T1 发生时,对 P0 进行加 1 操作;变迁 T2 发生时,对其进行加 3 操作;变迁 T3 发生时,对其进行减 2 操作.这些加、减操作由与门输出进行控制.

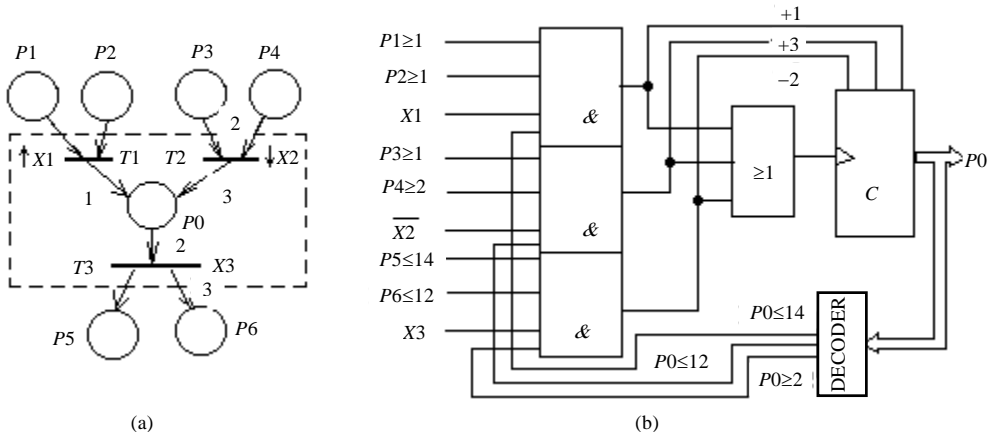


Fig.3 Implementation of P/T system subnet
图 3 P/T 系统子网的实现

用 ABEL 硬件描述语言描述如下:

Q3..Q0 PIN ISTYPE 'REG';

P0=[Q3..Q0];

P0.CLK=(P1>=1)&(P2>=1)&X1&(P0<=14)#(P3>=1)&(P4>=2)&!X2&(P0<=12)#(P5<=14)&(P6<=12)&X3&(

$P0 >= 2$);

WHEN $(P1 >= 1) \& (P2 >= 1) \& X1 \& (P0 <= 14)$ THEN $P0 := P0 + 1$;

ELSE WHEN $(P3 >= 1) \& (P4 >= 2) \& !X2 \& (P0 <= 12)$ THEN $P0 := P0 + 3$;

ELSE WHEN $(P5 <= 14) \& (P6 <= 12) \& X3 \& (P0 >= 2)$ THEN $P0 := P0 - 2$;

上述程序中, $(P0 <= 14)$, $(P0 <= 12)$, $(P5 <= 14)$ 和 $(P6 <= 12)$ 等保证了有界性, 避免了系统冲撞. $P0 := P0 + 1$, $P0 := P0 + 3$ 和 $P0 := P0 - 2$ 使 $P0$ 分别执行加 1、加 3 和减 2 的操作. 省略了置初值信号.

2.3 T-时延Petri网的实现

Petri 网中没有全局时钟, 只有局部时钟. 用 Petri 网对实际系统建模、控制时, 不可避免地需要考虑时间的问题, 任何物理形式的实现, 也都要考虑时间, 因此, 时延 Petri 网的实现是有实际意义的. 图 4(a) 是一个 T-时延 Petri 网, 变迁 $T1$ 与时延 $d=3$ 关联, 即当 $P1, P2$ 各有一个托肯时, $T1$ 有发生权. 从 $P1$ 有发生权开始, 至 $T1$ 发生时, 需要延时 3 个单位的时间. 图 4(b) 是对应的逻辑电路, 省略了置初值信号. 图 4(b) 中, 增加了定时器 TIME. 定时器的输出是 OC , 时钟脉冲输入是 CLK , 它是外部时钟. CLK 的频率增加, 可以提高定时的精度, 但必须增加定时器 TIME 的位数, 亦即以消耗芯片中的资源为代价. 只要 $P1$ 和 $P2$ 中有一个无托肯时, $TIME$ 的 $CLR=0, OE=0$, 定时器清零, 并且输出 OC 为高阻状态. 一旦 $T1$ 有发生权时, 定时器立即启动, 开始计数, 当规定的定时时间达到时, 输出 $OC=1$.

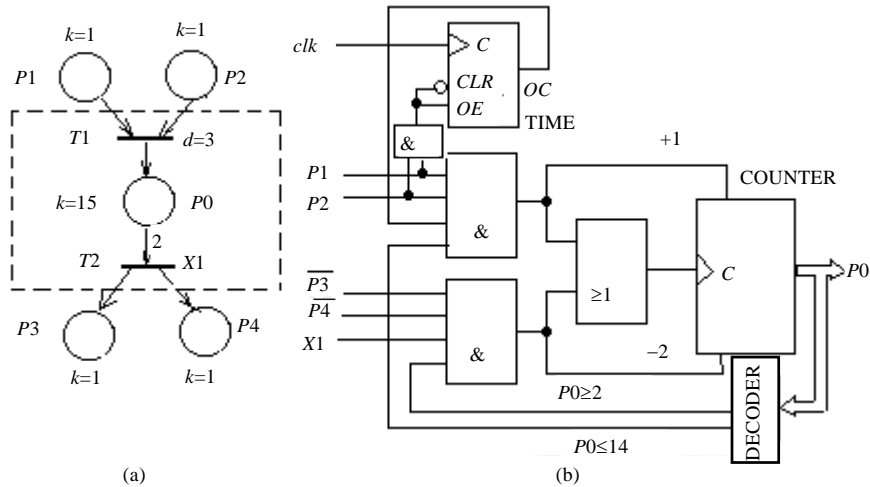


Fig.4 Implementation of T-timed Petri net's subnet
图 4 T-时延 Petri 网子网的实现

用 ABEL 硬件描述语言描述如下:

```

QT2..QT0,CLK NODE ISTYPE 'REG';
TIME=[QT2..QT0];
Q3..Q0 PIN ISTYPE 'REG';
P0=[Q3..Q0];
TIME.CLR=P1&P2;
TIME.OE=P1&P2;
TIME.CLK=CLK;
OC=QT2&QT1&!QT0;
P0.CLK=P1&P2&OC&(P0<=14)#!P3&!P4&X1&(P0>=2);
WHEN P1&P2&(P0<=14) THEN P0:=P0+1; ELSE
WHEN !P3&!P4&X1&(P0>=2) THEN P0:=P0-2;
    
```

非纯网的改造

图 5 是一个非纯网,通过改造变成了纯网,这种改造,并没有影响其性能,但在逻辑实现时,避免了由于逻辑门的时延引起逻辑错误.

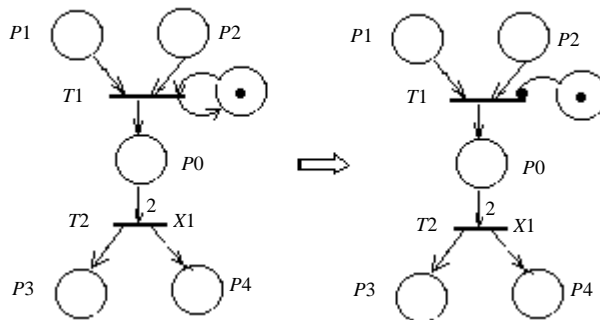
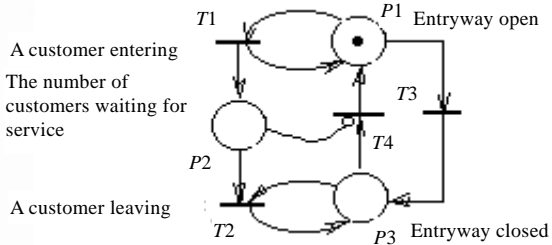


Fig.5 Reformation of non-pure net
图 5 非纯网的改造

3 应用举例

图 6 是一个服务系统的 Petri 网模型^[1].当顾客进入后,在开始服务前把门关上.顾客接受服务,然后从另一个门离去;只有所有的顾客都离去时,入口的门才能再次打开.P2 中的托肯代表已经进来但还没有离开的顾客,容量是 15.P1 及 P2 分别代表入口门打开和关闭两种状态,通过 T3 和 T4 的发生,使一种状态转变至另一种状态.T1 的发生代表一位顾客进入,可由装在门口的光电传感器获得这一信号;T2 的发生代表一位顾客的离去,也是由光电传感器获得信号,T3,T4 可看成是启动门关闭和打开的按钮.这一 Petri 网系统在 Lattice 公司的 ispLIS1032E 芯片上实现,并在 EDA Pro2K 实验开发系统上得到实际验证.P1,P3 用发光二极管表



一位顾客进入, 等待服务的顾客数, 一位顾客离开, 入口门打开, 入口门关闭.

Fig.6 A service system
图 6 一个服务系统

示,用数码管显示 P2 中的顾客数.T1~T4 用按键代替.

ABEL 源程序清单如下:

```

MODULE SAVCE
TITLE 'THIS IS A SAVCE SYSTEM'
T1,T2,T3,T4 PIN 11,12,13,14;
P1,P3 PIN 68,69 ISTYPE 'REG';
Q0..Q3 PIN 29..26 ISTYPE 'REG';
P2=[Q0..Q3];
SET PIN 18;
EQUATIONS
P1.AP=SET;P2.AR=SET;P3.AR=SET;    P2.CLK=P1&T1#P3&T2;
WHEN (P1==1)&(P2<15) THEN P2:=P2+1 ELSE WHEN (P3==1)&(P2>0) THEN P2:=P2-1 ELSE P2:=P2;
P1.CLK=!P1&(P2==0)&T4&P3#T3&P1&!P3;    P3.CLK=!P3&P1&T3#(P2==0)&!P1&P3&T4;
P1:=!P1;    P3:=!P3;
END
    
```

4 结 论

随着微电子技术的发展,系统芯片的开发已如火如荼,片上并行控制器的开发也已列入国家高技术研究发展计划.在复杂系统的设计与控制方面,系统的描述、分析与验证越来越重要.Petri 网被认为是担当这一重任的最好选择.Petri 网的硬件实现问题的解决,将使 Petri 网在 VLSI 方面的应用不限于对系统的描述与验证.它能够通过硬件描述语言或寄存器转换直接生成电路,其意义是深远的.它有可能与现有的 IP 核相结合,并为软、硬件协同设计提供有效方法.因此,Petri 网将成为片上并行控制器设计工具.

References:

- [1] David, R., Alla, H. Petri Nets & Grafcet. Tools for Modeling Discrete Event Systems. New York: Prentice Hall, 1992.
- [2] Adamski, M., Wegrzyn, M. Proceedings of the International Workshop on Discrete-Event System Design DESDes 01. Przytok: Technical University of Zielona Góra, 2001.
- [3] Yakovlev, A., Goes, L., Lavagno, L. Hardware Design and Petri Nets. Boston: Kluwer Academic Publishers, 2000.
- [4] Uzam, M., Avci, M., Yalcin, M.K. Digital hardware implementation of Petri net based specifications: direct translation from safe automation Petri nets to circuit elements. In: Adamski, M., Wegrzyn, M., eds. Proceedings of the International Workshop on Discrete-Event System Design DESDes 01. Przytok: Technical University of Zielona Góra, 2001. 25~33.

Hardware Implementation of Petri Nets*

ZHAO Bu-hui^{1,2}, JING Liang², YAN Yang-guang¹

¹(College of Automation, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China);

²(College of Electrical and Information Engineering, Jiangsu University, Zhenjiang 212013, China)

E-mail: zhao_bh@263.net

<http://www.ujs.edu.cn>

Abstract: Petri net is an important tool to model asynchronous and concurrent phenomena. The hardware implementation of Petri net will provide an effective way to the design of parallel controller. In this paper, the hardware implementation method of several kinds of Petri net system is presented, including C/E system with inhibitor arcs and enabling arcs, P/T system and T-timed Petri net system, The dealing method of non-pure net in hardware implementation is also proposed. First the logic circuits to implement Petri net are discussed. Then the logic circuits are described with ABEL-HDL. Finally an example is given to illustrate how to implement Petri net with hardware (CPLD), which is a service system described by interpreted Petri net. Experimental results show that the correctness of this method. This method is of momentous significance to the design of DEDS controller, especially to the design of SoC parallel controller and multi-processors chip.

Key words: discrete event system (DES); Petri nets; controller; programmable logic device (PLD); digital circuit

* Received November 12, 2001; accepted February 28, 2002

Supported by the Science Foundation of Education Bureau of Ministry of Mechanical & Industry of China under Grant No.97250834