

模块硅编译专家系统—SCES

杨乔林

(中科院计算所)

MODULE SILICON COMPILATION EXPERT SYSTEM —SCES

Yang Qiaolin

(*The Institute of Computing Technology, Academia Sinica*)

ABSTRACT

This paper presents a module silicon compilation expert system — SCES developed by us. SCES consists of a set of cooperating expert systems with common blackboard structures and is featured by performing topological modification, using widely deducing CAD database (dCADB), logical reduces, rule-based programming and an open inference schedule system. SCES takes specifications (chip dimension rate, cell delays and pad arrangements) from input file, performs topological modifications, logical and layout automatic design, sets up dCADBs of design results, outputs the logic drawing, layout and circuit SPICE format file including parasitic parameters of interconnections.

摘 要

本文介绍我们研究开发的模块硅编译专家系统——SCES，它由若干个具有公共黑板结构，协同工作的领域专家系统群体构成。SCES 具有开放的推理调度系统，广泛使用演绎CAD 数据库(dCADB) 和逻辑演绎方法，根据输入的模块联结的描述和设计的要求(例如带负荷后的时间延迟，引线排列，模块芯片的长宽比等)，通过逻辑网络拓扑结构修正、逻辑功能级和版图级的自动设计，以逐步求精的方式，达到给定的设计要求。最后输出模块的逻辑图、版图；生成记录设计过程和结果的各种dCADB，给出模块各节点逻辑值推演结果、逻辑链时间延迟推演结果以及包含布线分布参数的电路模块SPICE 格式文件。

§1. 引 言

硅编译的概念是70年代末开始出现的，80年代中已出现了几种硅编译产品。80年代中起，国外开始引入人工智能，出现一些实验性的版图专家系统的原型[1][2][3]。[1]是以

本文部分工作系863支持，部分系七五国家重点攻关项目，已经通过验收和鉴定。

Model 语言为输入, 进行晶体管布局和布线, 生成符号版图的系统。[2] 是一个算法与规则相结合的版图专家系统, 对于给定的连线关系, 调用不同功能的专家系统, 通过门级和晶体管级布局布线, 最后生成符号版图。[3] 是一个硬件逻辑专家系统, 它以OCCAM语言作为输入, 完成功能设计和电路设计。

我们开发的模块硅编译专家系统SCES(Silicon Compilation Expert System), 与前述的系统相比, 有如下一些特点:

- 引进了网络拓扑调整和器件特征尺寸修正的功能, 在推理调度系统的控制下, 使用逐步求精的方法, 最后达到设计规格的要求。

- SCES 广泛使用演绎CAD数据库(dCADB)[4] 作为进程、程序之间数据的交换工具, 由于dCADB 可以打开和建立在内存、EMS 和磁盘中, 从而消除了微机内存容量对设计规模的严格限制, 将微机扩展成为工作站。

- SCES 是协同工作的领域专家子系统群体, 使用公共黑板结构和开放性的系统推理机制。

- SCES 具有模块抽象的功能, 可以实现模块→单元的抽象变换, 加上利用层次结构的设计方法, 因此, 可以将SCES 发展成为LSI/VLSI 直接设计的工具。

- SCES 具有丰富的接口, 可与各种系统协同工作, 解决各种版图设计与逆向重新设计问题。

- SCES 引进了一些新的方法, 例如自动生成逻辑图中的相对校准布线方法等[5]。

下面我们就SCES 的体系结构、系统功能、推理机制和工作流程作简要介绍。

§ 2. SCES 的体系结构

模块硅编译专家系统SCES 是一个针对随机逻辑电路, 包括逻辑、电路、版图三个设计领域的专家系统。SCES 通过修正单元器件的特征尺寸和模块的拓扑结构, 利用基于规则推理的调度策略, 以逐步求精的方式, 完成逻辑、电路、版图三个层次的设计, 给出符合设计要求的逻辑图、版图、SPICE 格式的电路分析文件和保存设计结果的演绎数据库文件。SCES 体系结构, 如图1 所示。

从图1 可以看出, SCES 主要包括下面几个部分:

- * 用户菜单界面子系统——用户通过菜单选择, 控制SCES 系统的运行。
- * 黑板结构子系统——在SCES 的黑板结构中, 包含了动态的各种演绎CAD 数据库 dCADB 和与推理调度有关的动态数据库。
- * 推理调度子系统——根据用户的意图, 黑板结构中的结果以及知识库中的推理调度规则, 进行系统调度。
- * 评估专家子系统——评估设计的结果。
- * 知识库——它包含电路知识库, 推理知识库, 拓扑变换规则库等。
- * 登录解释子系统——它登录了SCES 各种工作进程和重要事件的各种讯息, 以解释和跟踪SCES 的工作过程。
- * 领域专家子系统群体和SCES 支撑子系统, 它们是:

A. 逻辑演绎子系统ReDA——它包括连线 and 元件dCADB 的建立、设计规则的检查、单元——Net dCADB 的提取、io 树——森林dCADB 的提取、基于知识的逻辑图自动生成[6] 以及逻辑值和逻辑链时延推演等。

B. 逻辑网络拓扑变换子系统 Topologic —— 在 SCES 全自动设计过程中, 为了满足电路指标的要求, 有时需要适当修改电路的拓扑结构, 并联、串联上一些电路; 有时要将一些复杂的电路分解成简单的基本构成电路单元。

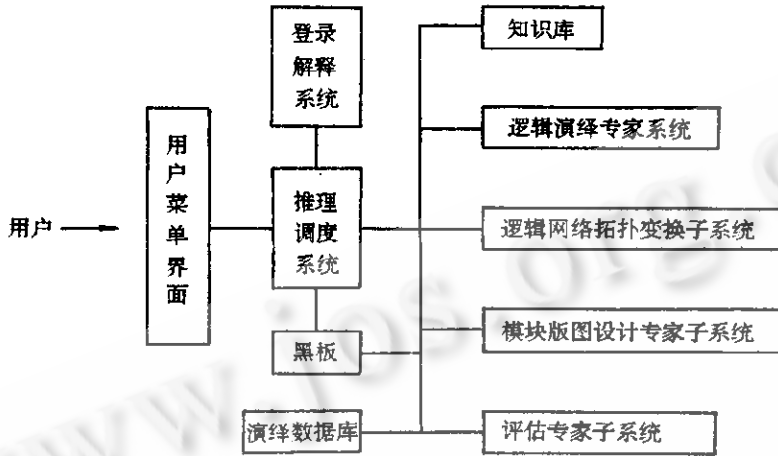


图1 SCES 的体系结构

C. 模块版图自动化设计子系统 AutoMod —— 利用 ReDA 系统建立的设计对象的 dCADB, 通过各个专家系统推理演绎过程, 实现它们各自功能:

- 单元器件特征尺寸估算系统 —— 根据电参数库中的数据和设计规格说明文件中时延要求, 计算器件特征尺寸。

- 符号布尔表达式处理系统 —— 利用布尔定理和布尔代数公式, 例如: $A * 0 = 0$, $A * 1 = 1$, $\bar{A} * A = 0$, $\overline{(A * B * C)} = \bar{A} + \bar{B} + \bar{C}$, $A * (A + B) = A$ 等, 进行符号布尔表达式处理。

- 单元电路版图自动生成系统 —— 这是一个基于知识和规则的单元电路版图自动生成系统, 其目标是使版图面积小, 即尽可能多地将相同电位的晶体管的源或漏相联在一起。SCES 使用标准单元的模式, 建立该设计的基本单元库。只要修改工艺设计规则文件的内容, 便可从一种工艺变成另一种工艺。

- 版面设计(Floorplanning)和元件布局系统 —— 利用建立的基本单元库和逻辑网络拓扑结构, 进行基于知识和规则的电路版面设计和元件布局, 其目标是版图面积小、连线极短和满足设计规格说明文件的要求。为了达到这些要求, 系统还包括单元镜像变换和元器件引线交换。

- 自动布线系统 —— 进行基于知识和规则的自动布线。

- 模块抽象系统, 利用版图 dCADB 推理演绎功能, 抽出模块的边界和 port。

D. SCES 的接口子系统, 包括 Daisy、UniECAD、Model、CIF、SPICE 等接口, SCES 还可生成包括布线参数在内的 SPICE 格式电路分析输入文件。

E. 演绎 CAD 数据库管理系统、SCES 图形系统(包括交互绘图系统、图形打印和绘图系统、幻灯演示系统等)。

§ 3. SCES 的推理机制

从前一节的介绍, 我们可以看出, SCES 是一个由许多处理不同设计领域知识的成员专家子系统构成的, 每个子专家系统内部使用规则程序设计的方法, 都有其独特的推理机制, 这里我们主要介绍 SCES 系统级的推理调度机制。为了增强系统的开放性, 我们设计了一种系统级的推理规则语言 OPK, 并将其推理调度规则放在 SCES 的推理知识库 SCES.OPK 中。利用 Prolog 的 Domains 格式, OPK 定义为:

```
opk =op (design_domain, level, cmd, exit_codes, next_design_domains)
design_domain =logic; layout; topologic; deloop; rout; resize
level=primal; mid; fine; supper; pause; stop
cmd =string
exit_codes=integer*
next_design_domains=design_domain*
```

这里, $opk=op(\dots)$ 是 SCES 推理规则语言的定义, 其相应的各项的域, 也定义在它的后面。推理规则规定了, 在每一设计的领域(design-domain), SCES 系统工作在相应的阶段(level), 使用给定的命令 CMD, 根据命令返回的信息编码 exit-code, 系统转入 next-design-domains, 这样实现一个逐步求精的推理自动化过程。例如, 当 Valider 进行检查是否达到如期的结果时, 可能有如下几种情况:

1. 需要在指定单元上, 并联一个相同的单元电路以满足所要求的时间延迟。
2. 需要在指定单元输出处, 串联一个同相的驱动电路, 满足给定的时延要求。
3. 与所要求的时延相差较小, 只需要适当调整指定列器件尺寸便可。
4. 满足设计要求, 完成设计任务。

这样将返回不同的 exit-code, 因而决定了 next-design-domain 是什么, 也就是进一步应该执行哪一种设计处理, 以达到设计规格文件的要求。

SCES 推理控制语言 OPK 的使用, 大大增强了系统的开放性和可扩展性, 由于各种 SCES 子系统都通过公共的黑板结构——演绎 CAD 数据库 dCADB, 获取和馈送讯息, 只要新的领域设计子系统, 遵循公共黑板结构的设计规程, 无需改变 SCES 本身, 只需修改 SCES.OPK, SCES 便可以更新或引进新的领域的设计专家工具和修改 SCES 的工作流程。

heading § 4. SCES 工作流程

在用户选择全自动设计的情况下, SCES 的工作流程如图 2 所示。从图 2 中可以看出, SCES 的入口是执行 Specif 程序, 从设计规格文件建立相应的数据库。在 primal 设计层次, SCES 进入 ReDA 系统, 建立逻辑级的各种演绎 CAD 数据库, 在出现复杂的单元情况下, SCES 可能需要中断 ReDA 工作系列, 转入 Expand 系统, 然后再返回 ReDA 系统, 完成逻辑设计阶段的各种任务。在需要时, 可自动生成逻辑图; 进行逻辑值推演和逻辑链延迟的推演。逻辑值推演的结果, 以不同的色彩显示在逻辑图上(例如, 逻辑值 1—红色, 0—绿色)。逻辑链延迟是从输出头推演到电路的各个输入头。

在完成上述任务后, SCES 进入 mid 系统设计阶段, 调用 Valider 系统, 对设计要求进行估计, 判断是否需要拓扑变换, 从而转向完成相应功能专家子系统, 在某种情况下, 需要转入 Resize 子系统, 修正晶体管的特性尺寸。然后转入版图的自动设计系统 AutoMod, 也就是进行单元电路版图自动生成; 版面设计(floorplaning) 和元件布局(包括

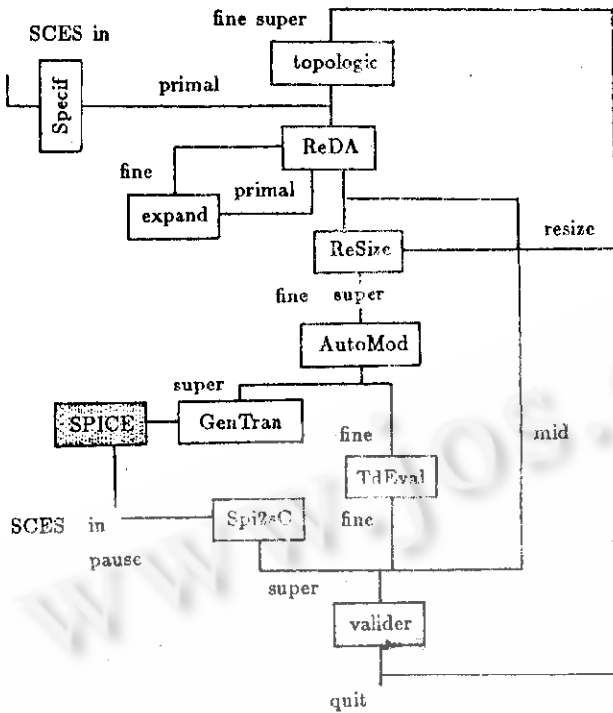


图2. SCES 的工作流程

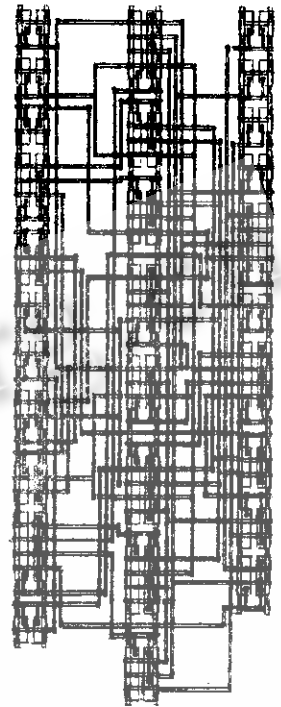


图3 SCES 设计的进位电路版图

单元镜像变换, 引线交换等, 以减少连线长度) 以及自动布线等。在fine设计层次, SCES使用逻辑推演的方式, 计算电路Tphl和Tplh, 而在super层次, 生成包含布线参数在内的SPICE格式文件。通过SPICE的运行和SPICE结果的回收, 再次进入Valider, 评价设计的结果。在没有达到设计要求的情况下, SCES根据SCES.OPK规定的推理规则, 转入指定的子系统, 重新开始新一轮设计活动。

图3是SCES以全自动的方式, 设计的一个进位电路的版图。在AST P 286微机上完成它的全部设计(包括dCADB的建立、逻辑图的自动化生成和版图的自动设计), 约要18分钟。

本文简明地介绍了模块硅编译专家系统群体SCES的体系结构、功能、推理机制和工作流程, 这些已在286、386计算机上用PROLOG语言实现。其中一些子系统和工具已应用于实际设计工作, 取得良好的经济效益和社会效益。

致谢: 研究生董向军为本系统开发了逻辑图生成程序, 在此表示感谢。

参考文献

- [1] P. W. Kollaritsch, N, H, E Weste, "A Rule-Based Symbolic Lauout Expert" VLSI DESIGN, August, 1984, pp 62-66.
- [2] Y, L. Steve Lin, D. D. Gajski, "LES: A Layout Expert System" 24th DA Conf. 1987, pp 672-678.

- [3] Tomio Mano etc. "Knowledge-Based Expert System for Hardware Logic Design" 86 Fall joint Computer Conf. pp 979-986.
- [4] 杨乔林, "智能CAD工具", 软件学报, 1990, No, 2 pp 48-55.
- [5] 杨乔林, "SCES: 一个协同工作的模块硅编译专家系统群体", 中国CAD/CAM研究新进展, 1991, 第四届全国CAD/CAM学术会议.
- [6] Dong Xiangjun, Wang Jiasheng and Yang Qiaolin, "SOLDUP: A Knowledge-based System for the Automatic Generation of Logic Diagram", CAD/Graphics'91 Intern. Conf. on CAD and CG 1991, Hangzhou, China.

第四届全国青年计算机会议

4th National Conference for Young Computer Scientists (NCYCS'92)

征文通知(第一次)

由中国计算机学会主办, 北京航空航天大学承办的第四届全国青年计算机会议(NCYCS'92)将于1992年10月在北京召开。本届会议的宗旨是: 脚踏实地, 开创未来。本届大会以学术报告和专题交流为主, 特邀国内著名专家和学者做专题或综述报告, 会议录用论文将收录在国防工业出版社出版的论文集中。本届会议将评选出优秀论文, 并推荐到1993年国际青年计算机大会。第四届全国青年计算机会议(NCYCS'92)主席: 熊璋(100083北京航空航天大学计算机系)。

一、征文对象: 论文第一作者不大于40岁。

二、征文要求: 1、应征学术论文应是未在其它刊物或学术会议上正式发表的论文; 2、稿件用20×20稿纸书写, 字迹工整, 稿件正文不超过6000字(含250字左右的摘要), 并附关键字, 注明论文所属领域, 文章一式三份, 请写清第一作者的详细通讯地址、邮政编码, 来稿一律不退; 3、来稿的信封封面请注明: NCYCS'92; 4、论文截止日期: 1992.4.1, 录取通知日期: 1992.5.1, 复印清样日期: 1992.5.20; 5、论文投寄地址: 100083北京航空航天大学计算机系NCYCS'92程序委员会怀进鹏收; 6、征文范围: 计算机体系结构, 计算机科学理论, 软件工程和工具, 知识工程和人工智能, 数据库, 网络与分布式系统, 器件及VLSI技术, CAD/CAM与计算机图形, 中文信息处理, 计算机应用。

三、专题交流: 会议将围绕大家共同关心的领域设若干专题, 举办为期一天的专题交流。希望广大青年踊跃推荐交流专题、专题主论人, 并投寄专题发言摘要(1000字左右)。入选专题及专题发言摘要将收集在会议论文集中。

四、鉴定会与展示会: 1、鉴定会: 本届大会可为与会代表筹办成果鉴定会或评审会, 聘请国内知名专家和学者担任鉴定会或评审会委员, 鉴定或评审会将在正式会议之后举办。如有需要者, 请尽快与NCYCS'92组委会联系, 索取报名表。2、展示会: 本届大会将举办计算机软件和硬件工具及各种计算机产品展示会, 有意报名参展的公司、厂商和研究单位, 请尽早与会议组委会联系, 索取报名表。报名截止日期: 1992.4.1, 联系人: 郑子坚 李波(100083北京航空航天大学计算机系NCYCS'92组织委员会)

五、征集NCYCS'92会徽: 本届大会有奖征集全国青年计算机大会会徽。会徽设计要求: 体现大会宗旨, 简洁明快, 反映青年计算机工作者活泼向上的精神风貌。入选会徽及设计者姓名将载入会议论文集。