

FP—VLSI 自动综合系统*

孙永强 胡振江 袁昕

(上海交通大学计算机系, 上海 200030)

摘要 FP—VLSI 自动综合系统是一个集成化的 VLSI 自动设计工具, 它能完成从并行算法到脉动算法到脉动结构再到逻辑结构最后到 CMOS 版图的自动综合过程. FP—VLSI 系统以脉动阵列为 VLSI 的体系结构, 采用具有良好代数性质的 FP/B 语言作为各层次的描述语言, 通过程序变换进行综合和优化. 该系统支持形式化的 VLSI 设计方法, 能保证设计结果的正确性.

关键词 函数语言, 自动综合, 脉动阵列, 逻辑电路.

VLSI 技术的迅速发展使芯片的集成度不断提高, 价格越来越低. 不少具有完整功能的硬件结构和某些实用算法都能做成一个 VLSI 芯片, VLSI 设计已成为算法设计, 结构设计和电路版图设计三位一体的工作. 设计复杂度的提高使传统的 VLSI 设计方法难以保证设计的正确性. 人们意识到类似于六十年代软件危机的 VLSI 危机正在出现. 要解决这个困难, 我们认为首先必须建立和完善一套关于 VLSI 设计的形式理论, 在这个基础上建立一套形式化的 VLSI 设计方法.

由 H. T. Kung 提出的脉动阵列(Systolic Array)^[2]是 VLSI 结构设计中很有发展前途的一种. 它具有结构整齐简洁, 时序控制简单, 语义清晰等特点. 工艺上很容易制造这种结构的芯片. 脉动阵列在模式识别、图形处理、矩阵运算等方面的应用十分广泛.

我们以函数式语言^[1]为基础, 脉动阵列为对象, 探讨了 VLSI 的形式化设计方法, 开发了 FP—VLSI 自动综合系统. 该系统从并行算法描述, 经过各层次的变换和综合, 最终得到该算法的 CMOS 版图的实现, 同时它还可用于一般数字电路的设计. FP—VLSI 系统的开发过程中, 我们在理论上主要研究了描述语言、电路优化和算法的脉动化判定等几个问题. 在描述语言方面, 我们研究并设计了一个既具有很强的描述能力, 又适合 VLSI 自动综合的函数式语言 FP/B. 该语言在原有的 Backus FP^[1]基础上引入了与时间相关的对象“流”和一些高阶算子, 大大增强了该语言的描述能力, 解决了一些原来无法描述的问题, 如数据循环依赖^[9]等. 在电路优化方面, 我们研究了通过程序变换对电路进行优化的方法,^[8]与传统方法不同之处在于, 这里的优化是在功能行为级上进行的. 优化过程保证设计的正确性. 在算

* * 本文 1990 年 11 月 2 日收到, 1991 年 5 月 10 日定稿

本项目受国家教委博士基金、国家自然科学基金资助. 作者孙永强, 63 岁, 教授, 博士生导师, 主要研究领域为计算理论, 新型程序语言. 胡振江, 27 岁, 博士生, 1990 年硕士毕业于上海交通大学, 主要研究领域为函数语言, 脉动阵列, VLSI 设计. 袁昕, 26 岁, 1991 年硕士毕业于上海交通大学, 主要研究领域为 FP, 脉动阵列, VLSI 设计.

本文通讯联系人: 孙永强, 上海 200030, 上海交通大学计算机系

法的脉动化判定方面,我们研究了 FP/B 上脉动算法的形式化描述,得到一个可用来判定给定算法能否转换为脉动算法的脉动化判定算法。^[9]这为脉动阵列的形式化设计提供了理论基础。

FP—VLSI 自动综合系统由四个子系统组成——脉动阵列重写子系统,脉动结构提取及单元行为功能分离子系统,逻辑综合及优化子系统和版图实现子系统。四个子系统分别进行 VLSI 设计中四个层次的设计。脉动阵列重写子系统把并行算法描述变换成脉动算法描述,脉动结构提取及单元行为功能分离子系统把脉动算法描述综合成脉动阵列的结构描述。逻辑综合及优化子系统把部件功能描述综合成逻辑描述,版图实现子系统把逻辑描述综合成版图描述。

在第一节中我们将讨论 FP/B 作为描述语言的特点并用实例说明如何用 FP/B 语言对并行算法和数字电路进行描述。在第二节中,我们详细讨论了 FP—VLSI 系统中主要模块的实现思想。最后我们用分类算法的综合过程来说明 FP—VLSI 系统的运行过程。

1 FP/B 对系统的描述及其特点

为了能更好地描述并行算法和数字系统,我们在原有的 Backus FP^[1]基础上引入了“流”及流对象上的递归函数的定义,并增加了若干高阶算子,形成一个特有的描述语言 FP/B。详细内容参见[5,7,10]。

1.1 FP/B 对并行算法的描述

(a) 排序:输入任意序列 x ,输出排为以升序的排列序列。

FP/B description of sorting:

```
edef sort@x = null @ x -> []; insert @ [sort@most@x,last@x]
edef insert @ [x,i] = null@x->[i];
    apndr@[insert@[most@x,small@[last@x,i]],big@[last@x,i]]
edef small @ [x,y] = 1@compare@[x,y]
edef big @ [x,y] = 2@compare@[x,y]
edef compare @ [x,y] = gt @ [x,y] -> [y,x]; id
```

上面定义中 compare 为比较函数,把两个数中大的放在表的后面,小的置前面。big 取出两数中较大的一个,small 取出两数中较小的一个。insert 把一个数插入已排好的序列中。sort 完成整个排序。

(b) 矩阵相乘:输入两个矩阵,输出它们的乘积矩阵。

FP/B description of matrix multiplication:

```
edef mm @ [M,N] = mm1 @ [m,trans@N]
edef mm1 @ [M,N] = null@m->[]; apndl@[vm@[hd@M,N],mm1@[tl@M,N]]
edef vm @ [V,M] = null@m->[]; apndl@[ip@[V,hd@M],vm@[V,tl@M]]
edef ip @ [v,u] = /+ @ (&*) @ trans @ [v,u]
```

上面定义中 ip 为内积运算,vm 为向量与矩阵相乘,mm1 为一个矩阵和一个以转置的矩阵相乘。mm 为矩阵相乘的完整描述。

1.2 FP/B 对一般数字电路的描述

n 位全加器:输入两个 n 位数字,输出两数之和。

```

FP/B description of full adder;
Def xor = and @ [or,not@and]
Def ha = [xor,and]
Def fa = [or@[1,2],3]@apndl@[1,ha@[2,3]@apndr@[ha@1,2]]
edef efa @ [value,part] = concat@[fa@[value,1@part],tl@part]
Def addern = [1,tail]@/efa@apndr@[trans,~0]

```

上面定义中 xor 为异或门, ha 为半加器, fa 为全加器, efa 为累计和, addern 为 n 位全加器.

1.3 FP/B 描述语言的特点

从上面的例子中可以看出,FP/B 语言具有很强的描述能力,很适合作为一个 VLSI 集成设计工具的描述语言. 它有如下若干特点:

(a) FP/B 可作为 VLSI 设计中各个层次(如算法级, 结构级, 逻辑级等)的描述语言, 各层次的描述统一于同一代数.

(b) FP/B 作为描述语言, 把结构描述和功能描述有机地结合起来, 具体地说, 它的语义决定了所描述的部件的功能, 它的高阶算子的几何意义决定了所描述部件的几何结构. FP 中最基本的复合算子@表示了流水串行结构, 构造算子[,]表示了平行结构. 例如: 异或门 $xor = and \cdot [or, nand]$ 对应的结构如图 1 所示.

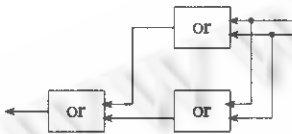


图1 $xor = and \cdot [or, and]$

(c) FP/B 具有良好的代数性质, 便于进行功能级的优化^[8]和进行功能行为的正确性证明.^[4]

(d) FP/B 具有层次抽象能力, 具有较好的层次性. 如 2.2 中全加器 addern 的描述抽象了四个层次. 它的描述还具有通用性. 任意 n 位全加器的描述都是 addern.

2 FP—VLSI 系统简介

2.1 系统概述

FP—VLSI 自动综合系统是在 MICRO—VAX II 上用 C 语言开发的, 目前运行良好. 它接受用户的并行算法或一般数字电路的功能描述, 自动综合出它们的 CMOS 版图实现(也可输出综合过程各步骤的中间结果). 对于并行算法, 系统首先对它进行可脉动化判定后, 由脉动重写子系统把它转化成脉动算法, 然后系统综合脉动算法, 提取出其中规整结构并分离出每个处理单元的行为描述, 再对每个处理单元的行为描述进行逻辑综合和优化, 得到每个处理单元的逻辑结构, 然后再用门矩阵方法^[6]实现每个单元的版图, 最后将每个处理单元的版图代入已提取出的脉动结构中, 这样就得到了整个并行算法的脉动阵列版图实现. 对于数字电路的行为描述则只需通过逻辑综合和门矩阵方法直接得到其版图实现. FP—VLSI 自动综合系统的结构如图 2.

2.2 各个重要模块的实现思想

2.2.1 脉动阵列重写子系统

对于用户输入的用 FP/B 描述的并行算法, 首先根据可脉动化判定算法, 判定该算法能

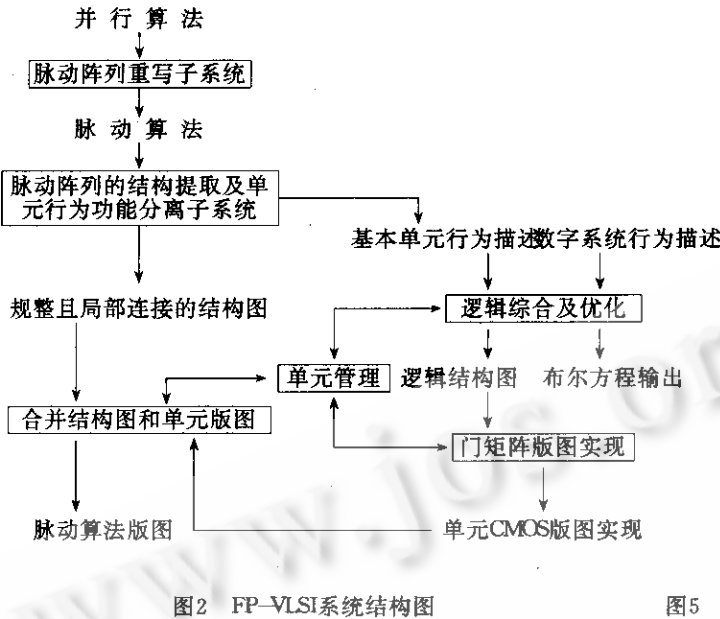


图2 FP-VLSI系统结构图

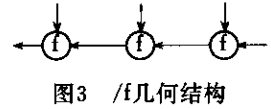


图3 /f几何结构

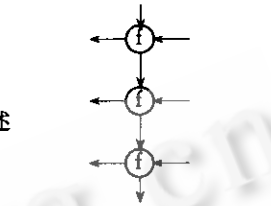


图4 \f几何结构

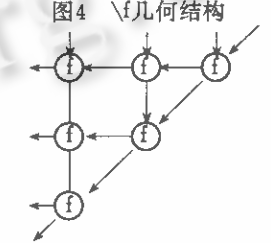


图5 /(f@apndl)几何结构

否转化为脉动算法. 如果并行算法可转化为脉动算法, 我们把并行算法输入一个利用 FP/B 代数性质构造的, 具有终止性和正确性的重写系统中, 把并行算法重写为脉动算法. 在[10] 中我们对此进行了详细的讨论. 重写过程分为三个步骤如下:

第一步: 递归方程展开. 重写出并发度高, 结构规整的算法描述.

第二步: 将算法脉动化. 所谓脉动化就是使处理单元的动作与数据的流动同步, 且单元到单元之间至少需要一个延迟. 在 FP/B 中, 脉动化过程表现为从一个未脉动化的算法导出一个功能等价的算法, 且在此算法中每个处理单元函数 f 都以 $D@f$ 的形式出现.

第三步: 提高脉动式的计算速度. 优化第二步的结果得到最后的脉动算法.

2.2.2 脉动阵列结构提取及单元行为功能分离子系统

FP/B 中高阶算子不仅表示了一定的行为, 而且具有很好的几何解释. 前面已知了复合算子“@”和构造算子“[]”的几何意义, 下面再看看其它几个算子的几何意义. 插入算子“/”和单向二为算子“\”, $/f$ 和 $\backslash f$ 的几何解释分别对应了图 3 和图 4. 它们的合并 $/(f@apndl)$ 的几何结构如图 5.

在脉动阵列结构提取及单元行为功能分离子系统中, 我们根据高阶算子的几何解释和 FP 程序的一些特点, 提取出脉动阵列结构, 得到一个规整的具有局部连接特性的脉动阵列结构及每个处理单元的行为描述. 在[5]中对此做了详细的讨论. 其具体实现过程大致如下:

- 一、表达式展开和分析, 构成内部函数树表示.
- 二、删除走线函数, 突出基本单元之间的关系.
- 三、布局处理.
- 四、输入输出端口的设置.

2.2.3 逻辑综合及优化子系统

一个数字系统的行为 FP/B 描述进入系统后, 首先转化成内部函数树表示的形式, 然后

对函数树进行综合,综合过程是通过消去递归和其它高阶算子使函数树中只含有复合算子“@”,构造算子“[]”和流算子“u”三种高阶算子.再根据“@”,“[]”和“u”的几何意义得到部件的几何结构.详细讨论参见[7].逻辑优化是在变化后的函数树上进一步进行优化,使得每一个单元子部件都得到最大限度的重用^[8].

2.2.4 门矩阵方法实现版图子系统

我们采用了[6]中门矩阵方法进行版图设计.门矩阵的版图构造方法将布局布线同时进行,其版图的特点为:纵向规整排列的多晶硅,扩散层与多晶硅构成N管和P管,N管和P管分上下放置,N管区域中有P-well,管与管之间由横向的金属和cut连接.为了得到优化的版图,我们采用启发式的电路划分方法,即先找到一个门,然后找与其相关性最大的而使用最小的轨道数的门与之相邻.

2.2.5 用户单元管理子系统

为了便于使用标准部件和重用已设计的部件,我们设计了用户单元管理子系统.它可进行部件及其属性的存入、修改、查询和删除等功能,对部件进行统一的管理.

2.2.6 合并结构图和单元版图子系统

由于脉动结构图具有排列规整和局部连接的特点,其版图实现在单元版图得到之后,不需进行复杂的布局和布线,只需略加调整便可以得到整个脉动阵列的版图.

2.3 综合实例

下面通过对分类器的自动综合过程说明系统的执行情况.系统对分类器的综合过程如下:

第一步:将并行算法综合成脉动算法.

将如 1.1 中分类器的并行算法描述输入脉动重写子系统.系统自动综合出如下所示的分类器脉动算法描述.

```

cdef h-sort = lt->id;[2,1]
def c = h-sort
mdef sort =>(D) @ /(apndr@[t1r,D@slr]@concat@\ (D@c) @[[1],t1]@apnd) @apndr@[t1r,[D@slr]]@ >
(D)@apnd@[1,t1]

```

第二步:将脉动算法综合为脉动结构,并分离出单元行为描述.

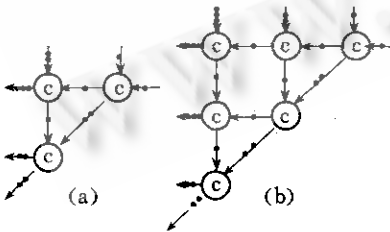


图6 分类器脉动结构图

将第一步得到的脉动算法输入脉动结构提取子系统并输入算法的作用数据,系统自动综合出算法的脉动阵列的体系结构,并分离出单元行为功能描述.对于分类器算法,当作用数据为(a1,a2,a3)和(a1,a2,a3,a4)时,其脉动阵列结构分别如 6(a) (b)所示.图中点表示延迟,圆圈为处理单元.

第三步:单个处理单元的逻辑综合.

输入上面分类器中各个处理单元的功能描述,逻辑综合及优化子系统自动综合出每个处理单元的逻辑结构.分类器中每个处理单元的功能描述如下:

```

Def or1 = not@nor
Def and1 = not@and

```

```

Def xor1 = and1@[or1@[not@1,2],or1@1,not@2]
Def comp-bit = and1@[and1@[xor1@1,1@1],and1@[not@xor1@1,2]]
Def great = /comp-bit @ apndr @ [id,~1]
Def sel1 = and1@[&and1@trans@[1,[id,not]@2]
Def sel2 = and1 @ [&and1@trans@[1,[not,id]@2]
Def sel = [sel1,sel2]
Def trans1 = [&1,&2]
Def c = trans1 @ &sel @ distr @ [id,great]@trans

```

当作用数据为 $((a1, a2), (b1, b2))$ 时,系统中综合得出逻辑结构图如图 7 所示。

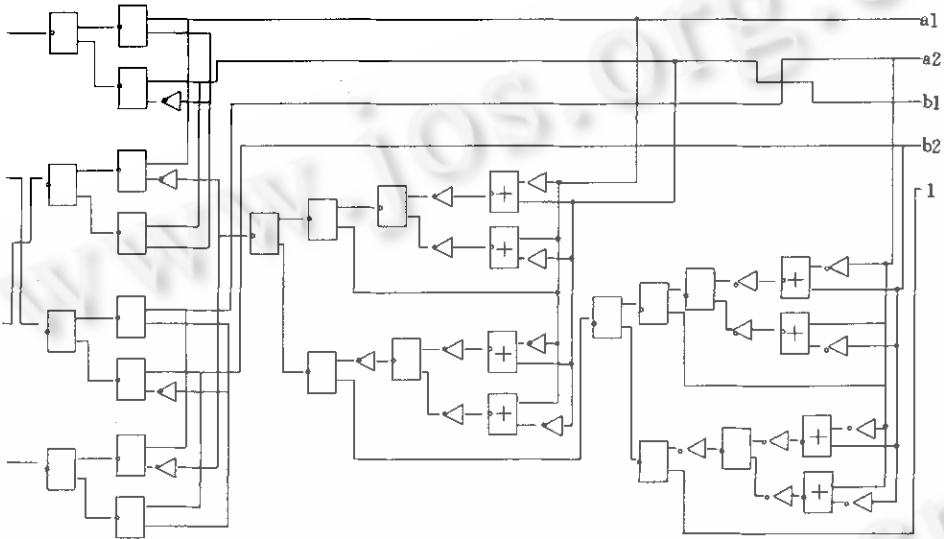


图 7 C (处理单元) 的逻辑图

第四步:单元部件的版图实现。

将处理单元 c 的逻辑描述输入版图生成子系统,即可自动综合出该单元的 CMOS 版图实现。完成后将单元的版图描述存入单元库中。

第五步:脉动结构的版图实现

将结构描述输入合并结构图子系统,该系统从单元库中调出所需的单元版图,将它与结构图合并后,就最终完成了脉动结构的 VLSI 版图设计。

总结:FP—VLSI 系统是一个集成化的 VLSI 自动设计工具,它采用形式化的 VLSI 设计方法,能保证设计的正确性。目前该系统已调试出带矩阵相乘, FIR 算法,乘法器和 ALU 等若干例子,显示了此系统的综合能力。

参考文献

- 1 John Backus. Can programming be liberated from the von neumann style? a functional style and its algebra of programs. CACM 21, 1978;613—641.
- 2 Kung H T. Why systolic architecture? . IEEE Computer, 1982;15.
- 3 Sheeran M. UFP—an algebra language for VLSI design. Proc. ACM Symp. on Lisp and Functional Program-

- ming, 1984.
- 4 Sun Yongqiang. Verification of systolic arrays, an FP functional approach. *J. of Comp. Sci. & Tech.*, 1988;3(2).
 - 5 Sun Yongqiang *et al.* FPFS; a functional programming floorplan system. Pan-Pacific Computer Conf. in 1989.
 - 6 Wing O. Gate matrix layout. *IEEE Trans. on Computer Aided Design*, 1985;CAD-4(3).
 - 7 胡振江, 孙永强, 夏心杰. 函数式语言对数字电路的描述及模拟. *计算机学报*, 1990;13(6).
 - 8 胡振江, 孙永强. 通过程序变换对数字电路进行优化. *软件学报*, 1990;1(2).
 - 9 胡振江, 孙永强. 并行算法的 FP 描述及其脉动化判定. *软件学报*. 1992;3(3).
 - 10 夏心杰, 孙永强, 胡振江. 脉动阵列的自动综合——FP 方法. *软件学报*, 1992;3(2).

FP—VLSI — AN AUTOMATIC SYNTHESIS SYSTEM

Sun Yongqiang, Hu Zhenjiang and Yuan Xin

(*Department of Computer Science, Shanghai Jiaotong University, Shanghai 200030*)

Abstract FP—VLSI, an integrated automatic synthesis system for VLSI design, is able to automatically synthesize a parallel algorithm to its CMOS implementation. This system synthesizes and optimizes the design by program transformation, while adopting systolic array as VLSI architecture and using a functional programming language FP/B for description. FP—VLSI system supports formal VLSI design method and guarantee the correctness of the result.

Key words Functional language, automatic synthesis, systolic array, logic circuit.